

光学絶縁型±50mV入力 シグマ-デルタ変調器

データシート

概要

アバゴ ACPL-C799 は、光結合技術を利用したガルバニック分離により、アナログ入力信号を高速データ・ストリームに変換する 1 ビット二次シグマ-デルタ ($\Sigma-\Delta$) 変調器です。ACPL-C799 は、適切なデジタル・フィルタを使用することにより、5V 電源からダイナミックレンジ 77dB で動作します。±50mV (フルスケール±80mV) の差動入力は、モータ相電流検出などの用途においてシャント抵抗や他の低電圧信号源への直接接続に理想的です。

アナログ入力は、内蔵クロックを使ったシグマ-デルタ・オーバーサンプリングにより、連続的にサンプリングされます。信号情報は、データレート 10MHz の変調器データに 1 の密度として含まれ、このデータは、コード化され絶縁バウンダリを越えて伝送された後、デジタル値 1 と 0 の高速データ・ストリームに復調されます。元の信号情報は、デジタル・フィルタを使用して復元します。データおよびクロック用シリアル・インタフェースの電源範囲は広く 3V~5.5V です。

高度な光結合技術との組み合わせにより、変調器は、高い雑音余裕度と優れたアイソレーション・モード過渡耐性を提供します。ACPL-C799 は、最小 0.5mm の絶縁物厚 (DTI) を持ち、確実な絶縁性能と高い動作絶縁電圧を提供し、フェイル・セーフ設計に最適です。これら卓越した絶縁性能は、容量または磁気結合を利用した DTI がマイクロメートル・レンジの代替デバイスには無い特長です。

この絶縁型 A-D コンバータは、ストレッチ S0-8 (SS0-8) パッケージで提供され、従来の電流トランスデューサよりも低コストでモータの電流を正確に測定するのに必要とされる高信頼性、小型化、高絶縁性能、および温度特性を提供します。

注： 日本語データシートは技術資料として作成したものであり、変更等が適時に反映されない場合があります。正確な情報に関しては、最新の英語版データシートをご参照ください。

特長

- 内部クロック : 10MHz
- 1ビット二次シグマ-デルタ変調器
- ノー・ミッシングコード16ビット分解能(12ビットENOB)
- 77dB SNR (標準)
- 最大オフセット・ドリフト: 1.3 $\mu\text{V}/^\circ\text{C}$
- ゲイン誤差 : ±1%
- 内部基準電圧
- 単一5V電源でリニア入力電圧範囲 : ±50mV (フルスケール±80mV)
- 広いデジタル・インタフェース電源範囲 : 3V~5.5V
- 動作温度範囲-40°C~+105°C
- SS0-8パッケージ
- 同相過渡耐性: 25kV/ μs
- 安全規格
 - IEC/EN/DIN EN 60747-5-5: 動作絶縁電圧 : 1414V_{peak}
 - UL1577: 絶縁耐圧5000V_{rms}/1分
 - CSA部品承認通達#5

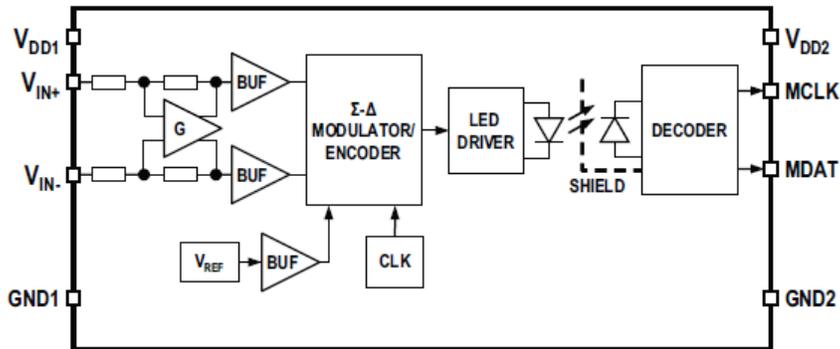
アプリケーション

- モータ相およびレール電流検出
- 電力インバータ電流検出
- 産業プロセス制御
- データ収集システム
- 各種電流検出
- 従来の電流トランスデューサの置換

注意 この製品を取り扱う際は、静電気放電による損傷や劣化を防ぐため、一般的な静電気対策をとってください。

機能ブロック図

図 1 機能ブロック図



ピン配置と説明

図 2 ピン配置



表 1 ピンの説明

ピン番号	記号	概要
1	V _{DD1}	信号入力側(アナログ側)の供給電源 (GND1 基準)
2	V _{IN+}	正アナログ入力。推奨入力範囲±50 mV
3	V _{IN-}	負アナログ入力。推奨入力範囲±50 mV(通常は GND1 に接続)
4	GND1	信号入力側の電源グランド
5	GND2	データ/クロック出力側(デジタル側)の電源グランド
6	MDAT	変調器データ出力
7	MCLK	変調器クロック出力
8	V _{DD2}	データ出力側(デジタル側)の供給電源 (GND2 基準)

オーダー情報

ACPL-C799 は、UL 1577 に準拠し、定格 $5000V_{rms}$ 1 分間で認証されています。

表2 オーダー情報

型名	オプション (RoHS 指令準拠)	パッケージ	表面実装	テープ&リール	IEC/EN/DIN EN 60747-5-5	梱包単位
ACPL-C799	-000E	ストレッチ S0-8	X		X	80 個/チューブ
	-500E		X	X	X	1000個/リール

ご注文の際は、型名欄から選択した製品型名とオプション欄のご希望のオプションとを組み合わせで発注してください。

例：

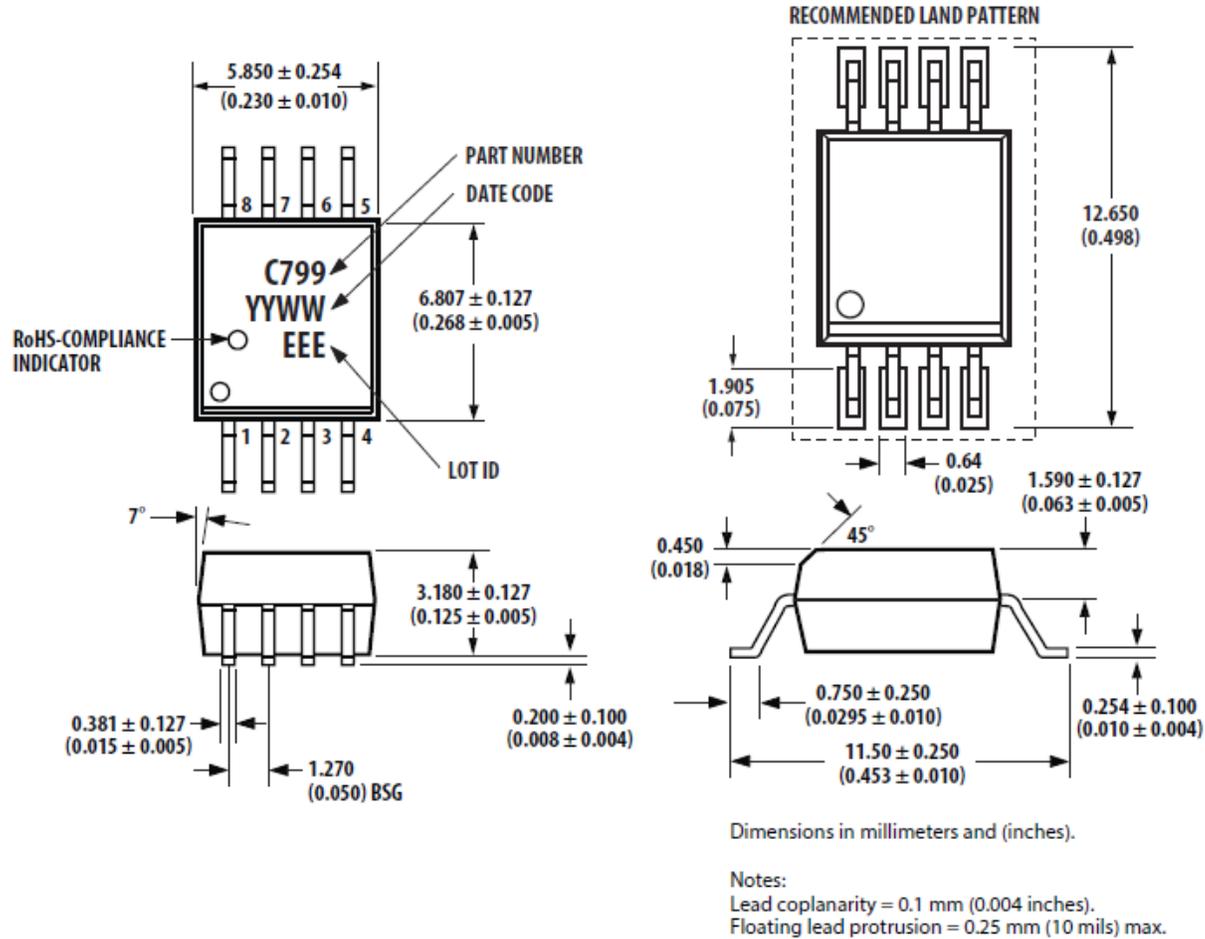
ACPL-C799-500E は、RoHS 指令準拠、IEC/EN/DIN EN 60747-5-5 認証、テープ&リール梱包の表面実装パッケージの製品です。

オプションのデータシートをご用意しています。梱包形態等の詳細は、アバゴ・テクノロジーの正規販売代理店までお問い合わせください。

パッケージ寸法図

ストレッチ S0-8 パッケージ (SS0-8)

Figure 3 Package Dimensions



推奨鉛フリーIR プロファイル

JEDEC規格J-STD-020 (最新版)に準拠したリフロー条件を推奨。非ハロゲン化物系フラックスを使用してください。

安全規格

ACPL-C799 は、以下の認証を受けています。

Table 3 Regulatory Information

IEC/EN/DIN EN 60747-5-5	Maximum working insulation voltage $V_{IORM} = 1414V_{PEAK}$
UL	Approval under UL 1577, component recognition program up to $V_{ISO} = 5000 V_{RMS}$. File E55361.
CSA	Approval under CSA Component Acceptance Notice #5, File CA 88324.

IEC/EN/DIN EN 60747-5-5絶縁特性

Table 4 IEC/EN/DIN EN 60747-5-5 Insulation Characteristics^a

Description	Symbol	Value	Units
Installation classification per DIN VDE 0110/1.89, Table 1			
for rated mains voltage $\leq 150 V_{rms}$		I-IV	
for rated mains voltage $\leq 300 V_{rms}$		I-IV	
for rated mains voltage $\leq 450 V_{rms}$		I-IV	
for rated mains voltage $\leq 600 V_{rms}$		I-IV	
for rated mains voltage $\leq 1000 V_{rms}$		I-III	
Climatic Classification		55/105/21	
Pollution Degree (DIN VDE 0110/1.89)		2	
Maximum Working Insulation Voltage		V_{IORM}	V_{peak}
Input to Output Test Voltage, Method b $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test with $t_m = 1$ sec, Partial Discharge < 5 pC		V_{PR}	V_{peak}
Input to Output Test Voltage, Method a $V_{IORM} \times 1.6 = V_{PR}$, Type and Sample Test, $t_m = 10$ sec, Partial Discharge < 5 pC		V_{PR}	V_{peak}
Highest Allowable Overvoltage (Transient Overvoltage, $t_{ini} = 60$ sec)		V_{IOTM}	V_{peak}
Safety-limiting values (Maximum values allowed in the event of a failure)			
Case Temperature	T_S	175	$^{\circ}C$
Input Current ^b	$I_{S,INPUT}$	230	mA
Output Power ^b	$P_{S,OUTPUT}$	600	mW
Insulation Resistance at $T_S, V_{IO} = 500$ V		R_S	$\geq 10^9$ Ω

- a. Insulation characteristics are guaranteed only within the safety maximum ratings, which must be ensured by protective circuits within the application.
- b. Safety-limiting parameters are dependent on ambient temperature. The Input Current, $I_{S,INPUT}$, derates linearly above 25 $^{\circ}C$ free-air temperature at a rate of 2.53 mA/ $^{\circ}C$; the Output Power, $P_{S,OUTPUT}$, derates linearly above 25 $^{\circ}C$ free-air temperature at a rate of 4 mW/ $^{\circ}C$.

絶縁と安全性に関連する仕様

Table 5 Insulation and Safety Related Specifications

Parameter	Symbol	Value	Units	Conditions
Minimum External Air Gap (External Clearance)	L(101)	8.0	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (External Creepage)	L(102)	8.0	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Plastic Gap (Internal Clearance)		0.5	mm	Through insulation distance, conductor to conductor, usually the direct distance between the photoemitter and photodetector inside the optocoupler cavity
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

絶対最大定格

Table 6 Absolute Maximum Ratings

Parameter	Symbol	Min.	Max.	Units
Storage Temperature	T_S	-55	+125	°C
Ambient Operating Temperature	T_A	-40	+105	°C
Supply voltage	V_{DD1}, V_{DD2}	-0.5	6.0	V
Steady-State Input Voltage ^{a, b}	V_{IN+}, V_{IN-}	-2	$V_{DD1} + 0.5$	V
Two-Second Transient Input Voltage ^c	V_{IN+}, V_{IN-}	-6	$V_{DD1} + 0.5$	V
Digital Output Voltages	MCLK, MDAT	-0.5	$V_{DD2} + 0.5$	V
Lead Solder Temperature	260°C for 10 sec.			

- a. DC voltage of up to -2 V on the inputs does not cause latch-up or damage to the device; tested at typical operating conditions.
 b. Absolute maximum DC current on the inputs = 100 mA, no latch-up or device damage occurs.
 c. Transient voltage of 2 seconds up to -6 V on the inputs does not cause latch-up or damage to the device; tested at typical operating conditions.

推奨動作条件

Table 7 Recommended Operating Conditions

Parameter	Symbol	Min.	Max.	Units
Ambient Operating Temperature	T_A	-40	+105	°C
V_{DD1} Supply Voltage	V_{DD1}	4.5	5.5	V
V_{DD2} Supply Voltage	V_{DD2}	3	5.5	V
Analog Input Voltage ^a	V_{IN+}, V_{IN-}	-50	+50	mV

- a. Full scale signal input range ± 80 mV.

電気特性仕様

Unless otherwise noted, $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$, $V_{DD1} = 4.5\text{V}$ to 5.5V , $V_{DD2} = 3\text{V}$ to 5.5V , $V_{IN+} = -50$ mV to $+50$ mV, and $V_{IN-} = 0\text{V}$ (single-ended connection); tested with Sinc³ filter, 256 decimation ratio.

Table 8 Electrical Specifications

Parameter	Symbol	Min.	Typ. ^a	Max.	Units	Test Conditions/Notes	Fig.
STATIC CHARACTERISTICS							
Resolution		16			Bits	Decimation filter output set to 16 bits	
Integral Nonlinearity	INL	-16	± 8	+16	LSB	See Definitions section	
Differential Nonlinearity	DNL	-0.9		0.9	LSB	No missing codes, guaranteed by design; see Definitions section	
Offset Error	V_{OS}	-1.0	0.1	1.0	mV	$T_A = 25^\circ\text{C}$; see Definitions section	5
Offset Drift vs. Temperature	TCV_{OS}		0.3	1.3	$\mu\text{V}/^\circ\text{C}$		
Offset Drift vs. V_{DD1}			70		$\mu\text{V}/\text{V}$		
Internal Reference Voltage	V_{REF}		80		mV		

Table 8 Electrical Specifications (Continued)

Parameter	Symbol	Min.	Typ. ^a	Max.	Units	Test Conditions/Notes	Fig.
Reference Voltage Tolerance	G _E	-1		1	%	T _A = 25°C, V _{IN+} = -80 mV to +80 mV; see Definitions section	
		-2		2	%	T _A = -40°C to +105°C, V _{IN+} = -80 mV to +80 mV	6
V _{REF} Drift vs. Temperature	TCG _E		40		ppm/°C		
V _{REF} Drift vs. V _{DD1}			0.1		mV/V	See note ^b	
ANALOG INPUTS							
Full-Scale Differential Voltage Input Range	FSR		± 80		mV	V _{IN} = V _{IN+} - V _{IN-} ; see note ^c	
Input Bias Current	I _{INA}		-200		μA	V _{DD1} = 5V, V _{DD2} = 5V, V _{IN+} = 0 V	7
Input Resistance	R _{IN}		1.9		kΩ	Across V _{IN+} or V _{IN-} to GND1	
Input Capacitance	C _{INA}		8		pF	Across V _{IN+} or V _{IN-} to GND1	
DYNAMIC CHARACTERISTICS						V _{IN+} = 100 mVpp, 1 kHz sine wave	
Signal-to-Noise Ratio	SNR	70	77		dB	T _A = -40°C to +105°C; see Definitions section	8
Signal-to-(Noise + Distortion) Ratio	SNDR	64	76		dB	T _A = -40°C to +105°C; see Definitions section	9
Effective Number of Bits	ENOB		12		Bits	See Definitions section	
Isolation Transient Immunity	CMR	25			kV/μs	V _{CM} = 1 kV; see Definitions section	
DIGITAL OUTPUTS							
Output High Voltage	V _{OH}	V _{DD2} - 0.4	V _{DD2} - 0.2		V	I _{OUT} = -4mA	
Output Low Voltage	V _{OL}		0.2	0.4	V	I _{OUT} = 4 mA	
POWER SUPPLY							
VDD1 Supply Current	I _{DD1}		12	17	mA	V _{IN+} = -80 mV to +80 mV	10
VDD2 Supply Current	I _{DD2}		5	6	mA		11

- All Typical values are at T_A = 25°C, V_{DD1} = 5 V, V_{DD2} = 5 V.
- V_{REF} Drift vs. V_{DD1} can be expressed as -0.125%/V with reference to V_{REF}.
- Beyond the full-scale input range the data output is either all zeroes or all ones.

タイミング仕様

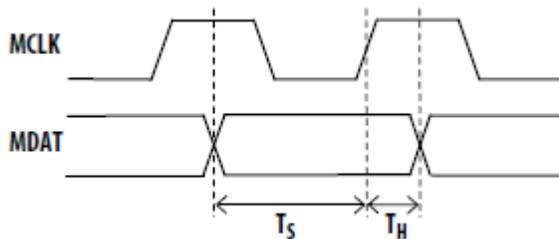
Unless otherwise noted, $T_A = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$, $V_{DD1} = 4.5\text{V}$ to 5.5V , $V_{DD2} = 3\text{V}$ to 5.5V .

Table 9 Timing Specifications

Parameter	Symbol	Min.	Typ. ^a	Max.	Units	Test Conditions/Notes	Fig.
Modulator Clock Output Frequency	f_{MCLK}	9	10	11	MHz	$C_L = 15\text{ pF}$, Clock duty cycle 40% to 65%	
Modulator Clock Rising Time	t_r		5			$C_L = 15\text{ pF}$	
Modulator Clock Falling Time	t_f		5			$C_L = 15\text{ pF}$	
Data Setup Time Before MCLK Rising Edge	t_s	55	75		ns	$C_L = 15\text{ pF}$	
Data Hold Time After MCLK Rising Edge	t_H	10			ns	$C_L = 15\text{ pF}$	

a. All Typical values are at $T_A = 25^{\circ}\text{C}$, $V_{DD1} = 5\text{V}$, $V_{DD2} = 5\text{V}$.

Figure 4 Data Timing



パッケージ特性

Unless otherwise noted, $T_A = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$, $V_{DD1} = 4.5\text{V}$ to 5.5V , $V_{DD2} = 3\text{V}$ to 5.5V .

Table 10 Package Characteristics

Parameter	Symbol	Min.	Typ.[1]	Max.	Units	Test Conditions/Notes	Note
Input-Output Momentary Withstand Voltage	V_{ISO}	5000			V_{rms}	$\text{RH} \leq 50\%$, $t = 1\text{ min}$; $T_A = 25^{\circ}\text{C}$	a, b
Input-Output Resistance	$R_{\text{I-O}}$		$>10^{12}$		Ω	$V_{\text{I-O}} = 500\text{ Vdc}$	c
Input-Output Capacitance	$C_{\text{I-O}}$		0.5		pF	$f = 1\text{ MHz}$	c

- In accordance with UL 1577, each optocoupler is proof tested by applying an insulation test voltage $\geq 6000 V_{\text{rms}}$ for 1 second (leakage detection current limit, $I_{\text{I-O}} \leq 5\text{ }\mu\text{A}$). This test is performed before the 100% production test for partial discharge (method b) shown in IEC/EN/DIN EN 60747-5-5 Insulation Characteristic Table.
- The Input-Output Momentary Withstand Voltage is a dielectric voltage rating that should not be interpreted as an input-output continuous voltage rating. For the continuous voltage rating, refer to the IEC/EN/DIN EN 60747-5-5 insulation characteristics table and your equipment level safety specification.
- This is a two-terminal measurement: pins 1–4 are shorted together and pins 5–8 are shorted together.

標準的特性

Unless otherwise noted, $T_A = 25^\circ\text{C}$, $V_{DD1} = 5\text{V}$, $V_{DD2} = 5\text{V}$, $V_{IN+} = -50\text{ mV to } +50\text{ mV}$, and $V_{IN-} = 0\text{V}$, with Sinc³ filter, 256 decimation ratio.

Figure 5 Offset Change vs. Temperature

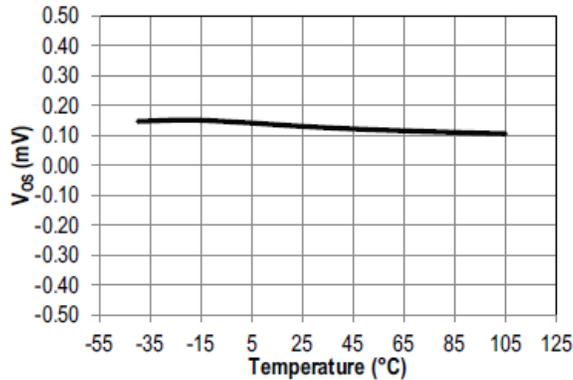


Figure 6 V_{REF} Change vs. Temperature

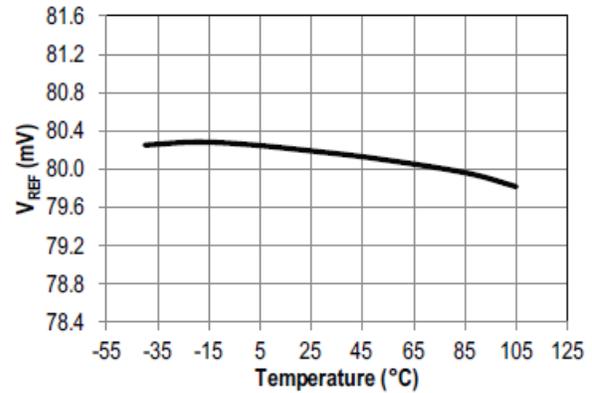


Figure 7 Input Current vs. Input Voltage

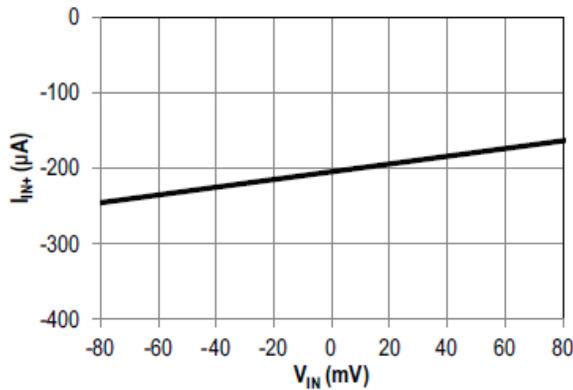


Figure 8 SNR vs. Temperature

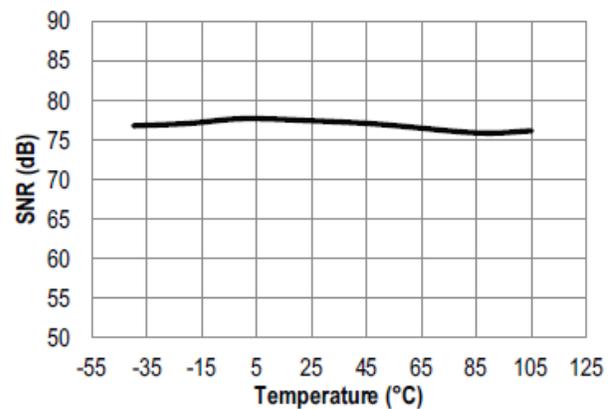


Figure 9 SNDR vs. Temperature

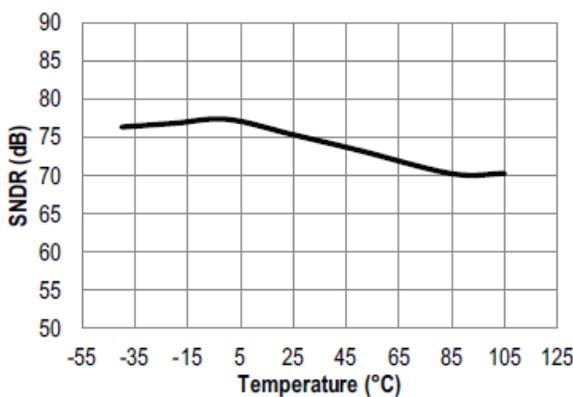


Figure 10 I_{DD1} vs. V_{IN} DC Input at Various Temperatures

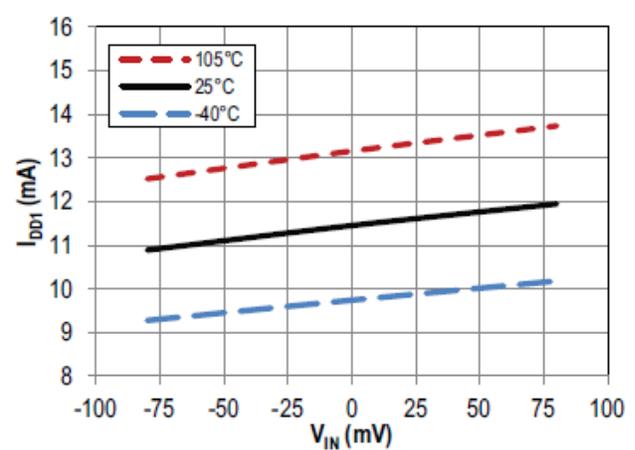
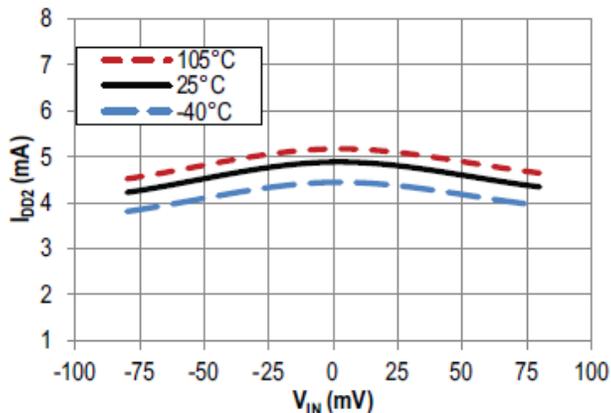
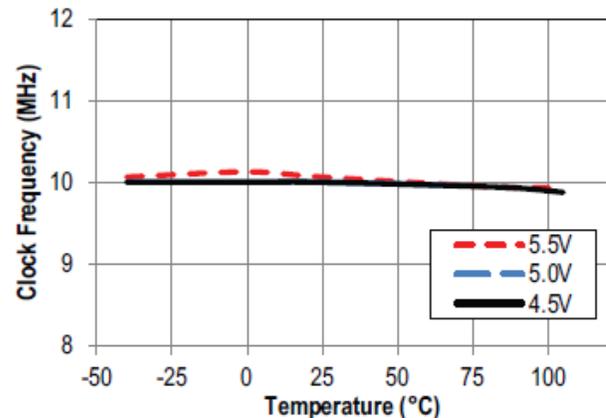


Figure 11 I_{DD2} ($V_{DD2} = 5V$) vs. V_{IN} DC Input at Various TemperaturesFigure 12 Clock Frequency vs. Temperature for Various V_{DD1} 

定義

積分非直線性 (INL)

INL は、オフセット誤差とゲイン誤差を除いた状態で、ADC 伝達関数の端点を通る直線からの伝達曲線の最大のずれです。

微分非線形性 (DNL)

DNLは、ADC伝達曲線における2つの隣り合ったコード間の1LSBの理想値からの実際のコード幅のずれです。DNLは、閉ループ用途では重要な仕様です。DNL誤差が±1 LSB未満の場合、ノー・ミッシングコードと単調伝達関数が保証されます。

オフセット誤差

オフセット誤差は、ミッドスケール・コード(無符号デシメーション・フィルタを有する 16 ビット・システムでは 32,768)に対応する実際の入力電圧の 0V からのずれです。オフセット誤差は、ソフトウェアまたはハードウェアにより補正することができます。

ゲイン誤差(フルスケール誤差)

ゲイン誤差は、正フルスケール・ゲイン誤差と負フルスケール・ゲイン誤差を含みます。正フルスケール・ゲイン誤差は、オフセット誤差が除去された状態で、正フルスケール・コード(16 ビット・システムでは 65,535)に対応する実際の入力電圧の理想差動入力電圧 ($V_{IN+} - V_{IN-} = +80mV$)からのずれです。負フルスケール・ゲイン誤差は、オフセット誤差が除去された状態で、負フルスケール・コード(16 ビット・システムでは 0)に対応する実際の入力電圧の理想差動入力電圧 ($V_{IN+} - V_{IN-} = -80 mV$)からのずれです。

ゲイン誤差は、基準誤差を含みます。ゲイン誤差は、ソフトウェアまたはハードウェアにより補正することができます。

信号対雑音比 (SNR)

SNR は、サンプリング周波数の 1/2 以下の周波数の AC 信号電力と雑音電力の測定比率です。雑音電力は、高調波信号と DC を除きます。

信号対(雑音+歪み)比 (SNDR)

SNDR は、ADC の出力における AC 信号電力と雑音+歪電力の測定比率です。信号電力は、基本入力信号の rms 振幅です。雑音+歪み電力は、サンプリング周波数 (DC を除く) の半分までのすべての非基本信号の rms 総和です。

有効ビット数 (ENOB)

ENOB は、ADC の有効分解能を決定し、ビットで表され次の式によって定義されます。

$$ENOB = (SNDR - 1.76) / 6.02$$

アイソレーション過渡耐性 (CMR)

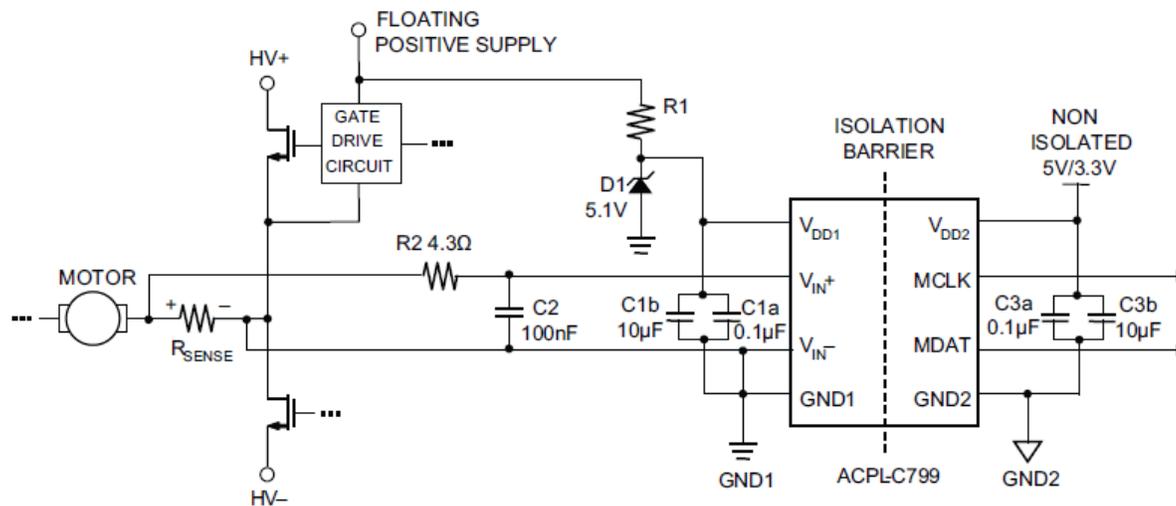
アイソレーション過渡耐性(同相信去または CMR としても知られる)は、アイソレーション境界を跨いで印加され、変調器クロックまたはデータが不正となる同相電圧の最低上昇/低下率です。

アプリケーション情報

標準的な応用回路

図 13 は、モータ相電流を検出する標準的な応用回路です。適切なシャント抵抗を選択することにより、1A 未満から 100A を超える広範囲の電流を監視することができます。

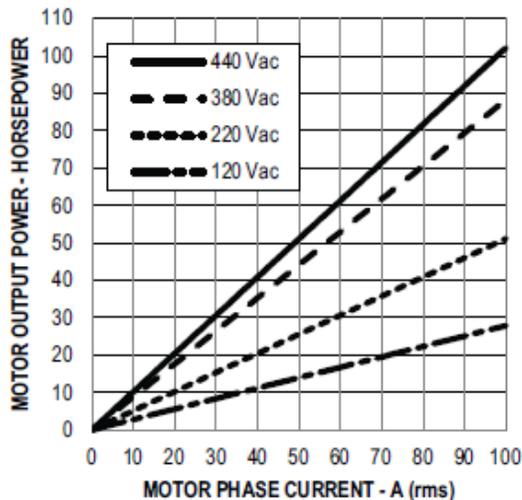
Figure 13 Typical Application Circuit In Motor Phase Current Sensing



シャント抵抗

電流検出シャント抵抗は、低抵抗(消費電力を最小にする)、低インダクタンス(動作に悪影響を及ぼす可能性がある di/dt 誘導電圧スパイクを最小にする)、および適正公差(全体回路精度を維持する)でなければなりません。シャント抵抗の値を選択するには、通常、消費電力を最小にしなが精度が最大になるようにします。抵抗値が小さいほど消費電力が少なくなり、抵抗を大きくすると、絶縁型変調器の最大入力範囲を利用して回路精度を改善することができます。

Figure 14 Motor Output Horsepower vs. Motor Phase Current and Supply



シャント抵抗を選択するには、先ずシャント抵抗が検出する電流の大きさを決めることです。図 14 のグラフは、三相誘導モータの各相の RMS 電流を、平均モータ出力(馬力, hp)とモータ駆動電源電圧の関数として示したものです。シャント抵抗の最大値は、測定する電流と絶縁型変調器の最大推奨入力電圧により決まります。最大抵抗値は、最大推奨入力電圧を通常動作中に抵抗を流れるピーク電流で割ることにより求めることができます。たとえば、モータの最大 RMS 電流が 70Arms、通常動作中に最大 50%の過負荷を許容できる場合、ピーク電流は 150A(= 70×1.414×1.5)となります。過負荷状態を考慮せず最大入力電圧が 50mV と仮定した場合、シャント抵抗の最大値は約 0.5mΩ になります。この場合、過負荷状態での最大入力電圧は、75mV(150A×0.5mΩ)となりますが、それでも±80mV FSR の範囲内です。

シャント抵抗の最大平均消費電力は、抵抗値に最大 RMS 電流の二乗を乗じて求めることができ、前の例では約 2.45W です。

シャント抵抗の消費電力が大きすぎる場合、抵抗値を小さくすることで消費電力を減らすことができます。抵抗の最小値は、正確さおよび精度の設計要件にも依存します。抵抗値を小さくするほどシャント抵抗の両端電圧が低くなりますが、一定のオフセットと雑音が、信号振幅に占める割合が大きくなります。抵抗値は、個々の設計要件に応じて最小値と最大値の間で選択します。

検出電流がシャント抵抗を著しく加熱するほど大きいとき、抵抗の温度係数(tempco)は、分流器の信号依存温度上昇により非線形性となることがあります。この現象は、シャント抵抗と周囲の間の熱抵抗が大きくなるほど顕著になります。この現象は、シャント抵抗の熱抵抗を小さくするか tempco の低い抵抗器を使用することにより緩和することができます。熱抵抗を低減するには、PC 基板上でシャント抵抗の位置を変更するか、より大きい PC 基板・トレースを使用してより多くの熱を放散させるか、或いはヒートシンクを使用するなどの方法があります。

2 端子抵抗器の場合、抵抗値が小さくなるほど、リード線の抵抗が全抵抗値に占める割合が大きくなります。これは、抵抗精度に 2 つの大きな影響を及ぼします。第一に、抵抗器の実抵抗が、リードの長さ、リードの曲がり方、基板にどれだけ差し込まれているか、また実装の際にリードが半田をどれだけ吸い上げるかなどの因子に影響されることがあります(これらの問題については、後で詳述します)。第二に、リードは、通常、抵抗体自体の材料よりも高い tempco を持つ銅などの材料から作られるため、シャント抵抗全体の tempco が高くなります。4 端子抵抗器を使用する場合、これらの影響はありません。4 端子抵抗器は、抵抗体自体の両端に直接ケルビン接続された 2 つの追加端子を有し、これらを抵抗体の両端の電圧を監視するために使用し、他の 2 つの端子を、負荷電流を流すために使用します。ケルビン接続のため、負荷電流が流れるリード部分の電圧降下は、測定電圧に影響を及ぼしません。

最大 70 Arms (71hp または 53kW) のモータ駆動電流の検出に適した様々なサプライヤの 2 端子および 4 端子表面実装型シャント抵抗の例を表 11 に示します。

Table 11 Example of Two-Terminal and Four Terminal Shunt Resistors for Motor Drives up to 70 Arms

Manufacturer/Shunt Resistor Part Number	Shunt Resistor Type	Shunt Resistance	Maximum RMS Current	Motor Power Range 120Vac–440Vac	
		mΩ	A	hp	kW
KOA/CSR series	Four-terminal	5	7	1.8–6.7	1.4–5
Isabellenhütte/BVS series	Two-terminal				
Vishay/WSL4026 series	Four-terminal	2	17	4–17	3–13
Isabellenhütte/BVE series	Two-terminal				
KOA/PSG4 series	Four-terminal	1	35	9–36	7–27
KOA/PSB series	Two-terminal				
Isabellenhütte/BVR series	Four-terminal	0.5	70	19–72	14–54
KOA/PSJ2 series	Two-terminal				

シャント抵抗を実装するための PC 基板レイアウトを行う際、いくつかの点に注意が必要です。抵抗器へのケルビン接続は、抵抗器本体の下で行い、互いに近接させて絶縁型変調器の入力まで引いて来ます。これにより、接続配線のループ面積が最小になり、測定信号に対する浮遊磁界の干渉が減少します。シャント抵抗が絶縁型変調器回路と別の PC 基板に実装される場合、強ツイストペアワイヤで同じ効果を得ることができます。

また、PC 基板の複数の配線層を使用して電流容量を高めることができます。PC 基板の各層間で電流が分散しやすくなるよう、抵抗器の各非ケルビン端子のまわりに多数のめっき貫通ビアを配置します。PC 基板は、各層に 2 オンスまたは 4 オンスの銅を使用しているため、電流容量は 20A を超えます。また、PC 基板上の導電トレースをかなり大きくしてヒートシンクとして働かせることにより、シャント抵抗の電力損失性能を改善することができます。負荷電流が PC 基板に入りするビアを多数設けることもまた推奨されます。

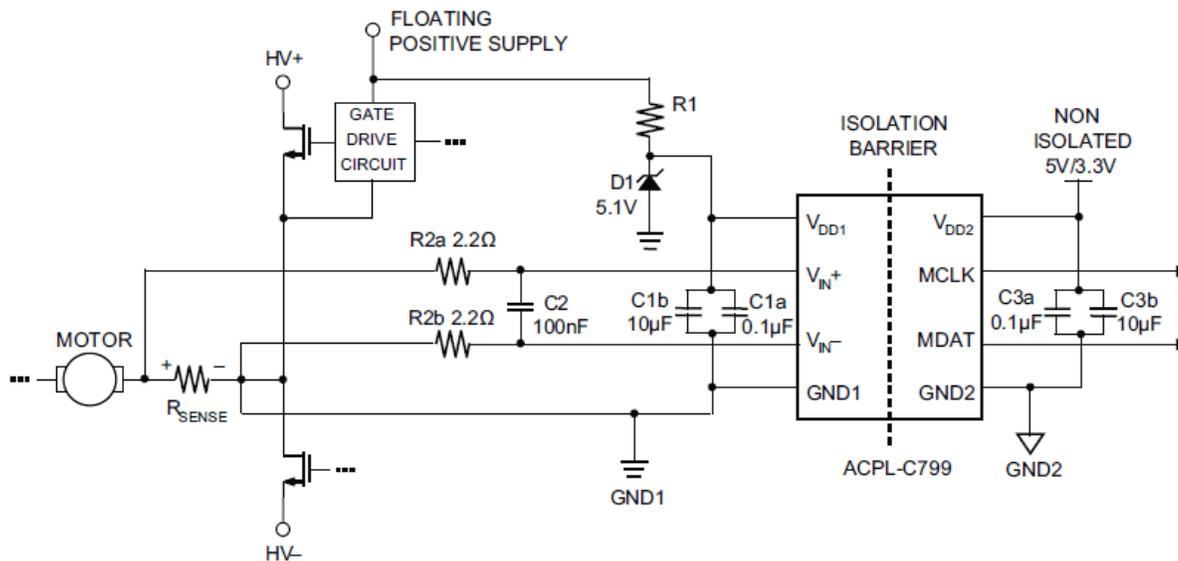
シャント抵抗の接続

図 13 に、絶縁型変調器にシャント抵抗を接続するための推奨方法を示します。ACPL-C799 の V_{IN+} はシャント抵抗の正端子に接続され、 V_{IN-} が GND1 に接続されていることから、電源リターン・パスは、シャント抵抗の負端子への検出ラインとして働きます。これにより、1 対のワイヤまたは PC 基板トレースで絶縁型変調器回路にシャント抵抗を接続することができます。シャント抵抗の負側への入力回路を基準とすることにより、抵抗器上の負荷電流によって生じる過渡雑音が見えなくなるため、電流センス信号を妨害しません。このことは、モータ駆動回路に流れる大きな負荷電流に加え、回路配線が持つ寄生インダクタンスにより生じるノイズスパイクとオフセットが、シャント抵抗の両端で測定される小さい電圧と比較して大きいので重要です。

ゲート駆動回路と電流検出回路の両方に同じ電源を使用する場合、絶縁型変調器の GND1 からシャント抵抗への配線が、ゲート駆動電源グラウンドへの唯一の電流リターン・パスであることが、グラウンド・ループの問題の可能性をなくすために極めて重要です。絶縁型変調器回路とゲート駆動回路の間で唯一直接接続しても構わないのは、正電源ラインのみです。

しかしながら、用途により、電源リターン・パスに流れる電流が、オフセットまたは雑音の問題を引き起こすことがあります。その場合、図 15 のように、 V_{IN+} と V_{IN-} を 2 本の配線でシャント抵抗の両端に直接接続し、電源リターン・パス用には別の第 3 の配線で GND1 をシャント抵抗器に接続することにより性能を高めることができます。完全差動アンプのコモンモードにより両方のピンに生じる入力電流は、フィルタ抵抗 (R2a と R2b) 上で釣り合い、互いに相殺されます。一方のピンに生じる雑音は、キャパシタ C2 により他方のピンに結合され、デバイスにより除去されるコモンモード雑音しか生じません。このように接続したとき、両方の入力ピンがバイパスされます。センス信号の電磁障害を最小にするため、絶縁型変調器にシャント抵抗を接続するすべての配線 (2 線または 3 線方式) は、ツイストペア線または PC 基板上の近接トレースでなければなりません。

Figure 15 Schematic for Three Conductor Shunt Connection



入力ラインに直列に接続された図13の抵抗R2および図15のR2aおよびR2bは、入力バイパス・コンデンサC2とともにローパス・アンチエイリアシング・フィルタを構成します。これらの抵抗は、別の重要な機能、即ち、シャント抵抗、入力バイパス・コンデンサおよびこれらを接続するワイヤまたはトレースのインダクタンスからなる回路に発生することがあるリングングを減衰させる働きをします。入力回路に生じる入力サンプリング周波数付近の未減衰のリングングは、ベースバンドにエイリアスし、デバイスの出力に雑音として現れるものを生成することがあります。

アナログ入力

ACPL-C799のフロントエンド部は、完全差動アンプと、その後段にシグマ-デルタ変調器を含んでいます。完全差動アナログ入力は、 $\pm 50\text{mV}$ (フルスケール $\pm 80\text{mV}$)の信号を受け入れ、これは、モータ相電流検出などの用途において、シャント電流検出抵抗や他の低レベル信号ソースに直接接続するのに理想的です。フルスケール範囲($\pm 80\text{mV}$)内であれば、より広い入力範囲(たとえば、 $\pm 75\text{mV}$)を使用し、過電流または過負荷検出をすることができます。

ラッチアップの検討

特に頻繁に過渡雑音を受けるような信号源に直接接続する用途では、CMOS デバイスのラッチアップに対するリスクを慎重に検討する必要があります。ACPL-C799 のアナログ入力構造は、モータ駆動や他の電力インバータ・システムなどの雑音の多い環境でしばしば遭遇する過渡やサージからの回復が早くなるように設計されています。短絡や過負荷を含む他の状況は、入力への過渡電圧の原因となる可能性があります。ACPL-C799 は、アナログ入力に対して最大 -2V のDC電圧と、最大 -6V の2秒過渡電圧で試験され、ラッチアップもデバイス破損もありません。

変調器データ出力とデジタル・フィルタ

入力信号情報は、1と0の密度によって表された変調器出力データ・ストリームに含まれます。図16に示すように、1の密度は入力信号電圧に比例します。0Vの差動入力信号は、理想的には1と0が等しい密度のデータ・ストリームを生成します。データ・ストリームでは、-50 mVの差動入力は、18.75%の1密度に対応し、+50mVの差動入力は、81.25%の1密度によって表わされます。差動入力が増え+80mV以上では、理想的にはデータ・ストリームがすべて1になり、入力が-80 mV以下では、すべて0になります。表12はこの関係を示します。

Figure 16 Modulator Output vs. Analog Input

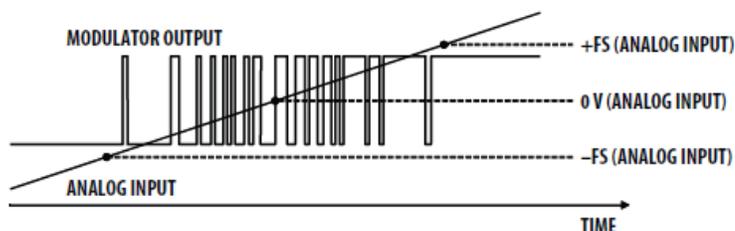


Table 12 Input Voltage with Ideal Corresponding Density of 1s at Modulator Data Output, and ADC Code

Analog Input	Voltage Input	Density of 1s	ADC Code (16-bit unsigned decimation)
+Full-Scale	+80 mV	100%	65,535
+Recommended Input Range	+50 mV	81.25%	53,248
Zero	0 mV	50%	32,768
-Recommended Input Range	-50 mV	18.75%	12,288
-Full-Scale	-80 mV	0%	0

注

- バイポーラ・オフセット・バイナリ符号体系の場合、デジタル・コードは、-FS 入力でデジタル 0 から始まり、+FS 入力でフルスケール・コードに達するまでアナログ入力に比例して増えます。ミッドスケール入力でゼロ交差となります。
- 16ビット無符号デシメーション・フィルタにおいて、変調器データ出力における理想的な1密度は、 $V_{IN}/160\text{mV} + 50\%$ で、またADCコードは、 $(V_{IN}/160\text{mV}) \times 65,536 + 32,768$ で各々計算することができます。

デジタル・フィルタは、変調器からのシングルビット・データ・ストリームを、一般的な A/D コンバータのデジタル出力と同様なマルチビット出力ワードに変換します。この変換により、ワード出力のデータ・レートも減少します(デシメーション)。ACPL-C799 と一緒に Sinc³ フィルタを使用することを推奨します。256 デシメーション比と 16 ビット・ワード設定の場合、出力データ・レートは 39kHz(= 10MHz/256)です。このフィルタは、ASIC、FPGA または DSP で実現することができます。表 12 に、ADC コードのいくつかを対応する入力電圧と共に示します。

電源とバイアス

図 13 のように、フローティング電源(多くの用途において、ハイサイド・パワートランジスタの駆動に使用するのと同じ電源)を、一般的なツェナーダイオード(D1)を使用し 5V に安定化します。また、抵抗 R1 の値は、使用するフローティング電源から十分な電流が供給されるように選択します。電流検出抵抗またはシャント抵抗(R_{SENSE})からの電圧は、RC アンチエイリアシング・フィルタ(R2 と C2)を通して ACPL-C799 の入力に印加されます。最後に、ACPL-C799 のクロックとデータ出力をデジタル・フィルタに接続します。応用回路は比較的単純ですが、最適性能を実現するためにはいくつかの推奨事項があります。

絶縁型変調器の電源は、多くの場合、パワートランジスタ・ゲート駆動回路に電力を供給する電源と同じ電源から得られます。専用電源が必要な場合、多くは既存の電源トランスに別の巻線を追加して得ることができます。あるいは、別のトランスや高周波 DC-DC コンバータなどの絶縁型電源を使用することもできます。

安価な 3 端子レギュレータを使ってフローティング電源から 5V を得ることもできます。高周波電源の雑音やリップルを減衰させるには、レギュレータの入力と直列に抵抗またはインダクタを接続し、レギュレータのバイパス・コンデンサと共にローパス・フィルタを構成する方法があります。

図 13 のように、バイパス・コンデンサ (C1a、C1b および C3a) は、絶縁型変調器の入出力電源ピンのできるだけ近くに配置します。バイパス・コンデンサは、絶縁型変調器内の信号が高速デジタル信号であることから必要とされます。フィルタリング性能を高めるため、 $1\mu\text{F}$ ~ $10\mu\text{F}$ のコンデンサ C3b を別に接続する方法もあります。

入力バイパス・コンデンサ C2 は、前述のようにアンチエイリアシング・フィルタの一部を構成し、高周波雑音が更に低い周波数にエイリアシングして入力信号と干渉するのを防ぐ働きもあります。

PC 基板レイアウト

プリント回路基板 (PCB) のレイアウト設計は、バイパス・コンデンサをできるだけ電源ピンの近くに配置すること、出力信号ラインを入力信号ラインから遠ざけること、グラウンドと電源をプレーンにすることなどを考慮してください。さらに、PCB レイアウトにおける、主に入力回路と出力回路間の寄生容量結合が、絶縁型変調器のアイソレーション過渡耐性 (CMR) に影響を及ぼすことがあります。最適な CMR 性能を得るため、PC 基板レイアウトにおいて、回路の入力側と出力側の間の距離を最大限離し、グラウンドプレーンやパワープレーンを絶縁型変調器の本体の真下を通さず、またパッケージ・ボディ下に広げないようにすることにより、寄生容量結合が最小になるようにしてください。

製品情報と販売代理店リストは、弊社ウェブサイトをご覧ください。www.broadcom.com

Broadcom、パルス・ロゴ、Connecting everything、アバゴ・テクノロジーおよび A ロゴは、アメリカ合衆国、他の国々および/または EU における Broadcom の商標です。

Copyright © 2017 Broadcom. 著作権保有。

用語「Broadcom」は、Broadcom Limited および/またはその子会社を指します。詳細は、www.broadcom.com をご覧ください。

Broadcom は、信頼性、機能または設計を改善するために、製品またはデータを通知なしに変更する権利を留保します。

Broadcom によって提供される情報は、正確で信頼性が高いと思われる。しかしながら、Broadcom は、この情報の適用または使用、あるいは本書に記載された製品または回路の適用または使用から生じるいかなる責任も負わず、特許権や他の権利によるいかなるライセンスも譲渡しません。

