

**Desat 検出・保護、アクティブ・ミラーランプ、
FAULT および UVLO フィードバック機能付 2.5A 出力
MOSFET ゲート駆動用フォトプラ**

データシート

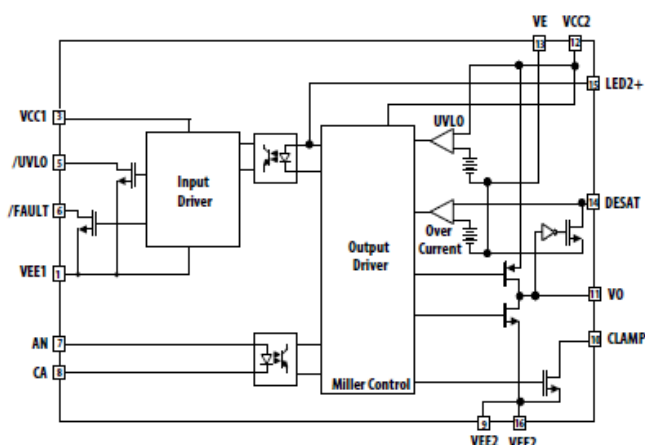


概要

アバゴ ACPL-335J は、優れたタイミング・スキュー性能による高速伝達遅延を特徴とする 2.5A スマート・ゲート駆動用フォトカプラです。このデバイスは、フェールセーフ MOSFET 診断、保護および故障報告のフル機能を備えています。このフル機能を搭載し実装が容易なゲート駆動用フォトカプラは、小型表面実装 SO-16 パッケージで提供されます。

ACPL-335J は、DC-DC コンバータ、スイッチング電源およびバッテリー充電器用のパワーMOSFET を駆動するように設計されており、クリティカルな高電圧産業アプリケーションに必要な高い絶縁性と信頼性を提供します。

内部ブロック図



注： 日本語データシートは技術資料として作成したものであり、変更等が適時に反映されない場合があります。正確な情報に関しては、最新の英語版データシートをご参照ください。

特長

- ピーク出力電流: 2.5 A (最大)
- ミラー・クランプ・シンク電流: 1.9 A (最大)
- 幅広い動作電圧: 12V~20V
- 伝達遅延: 250ns (最大)
- デッドタイム歪み: -100ns~+20ns
- フェールセーフ MOSFET 保護機能内蔵
- Desat 検出、ターンオフ保護およびフォルト・フィードバック
- フィードバック機能付きアンダーボルテージ・ロックアウト保護 (UVLO)
- 空間距離と沿面距離が 8mm の SO-16 パッケージ
- 温度範囲: -40~+105°C
- 同相除去性能 (CMR) >50kV/ μ s @ $V_{CM}=1500$ V
- 高い雑音耐性
 - ミラー電流クランプ機能
 - 低入力インピーダンスで雑音に強い直接 LED 入力
 - ゲート負バイアス対応
- 安全規格対応
 - UL1577、CSA
 - IEC/EN/DIN EN 60747-5-5

応用

- 絶縁型 MOSFET ゲート駆動
- DC-DC コンバータ
- スイッチング電源
- バッテリ充電器

注意: この製品を取り扱う際は、静電気放電による損傷や劣化を防ぐため、一般的な静電気対策を行ってください。このデータシートに記載された製品は、軍事または航空宇宙用途および環境で使用しないでください。

オーダー情報

型名	オプション	パッケージ	表面実装	テープ&リール	IEC/EN/DIN EN 60747-5-5	梱包単位
	(RoHS 指令準拠)					
ACPL-335J	-000E	SO-16	X		X	45 個/チューブ
ACPL-335J	-500E		X	X	X	850 個/リール

ご注文の際は、部品番号欄から選択した部品番号と RoHS 準拠欄のご希望のオプションを組み合わせせて発注してください。

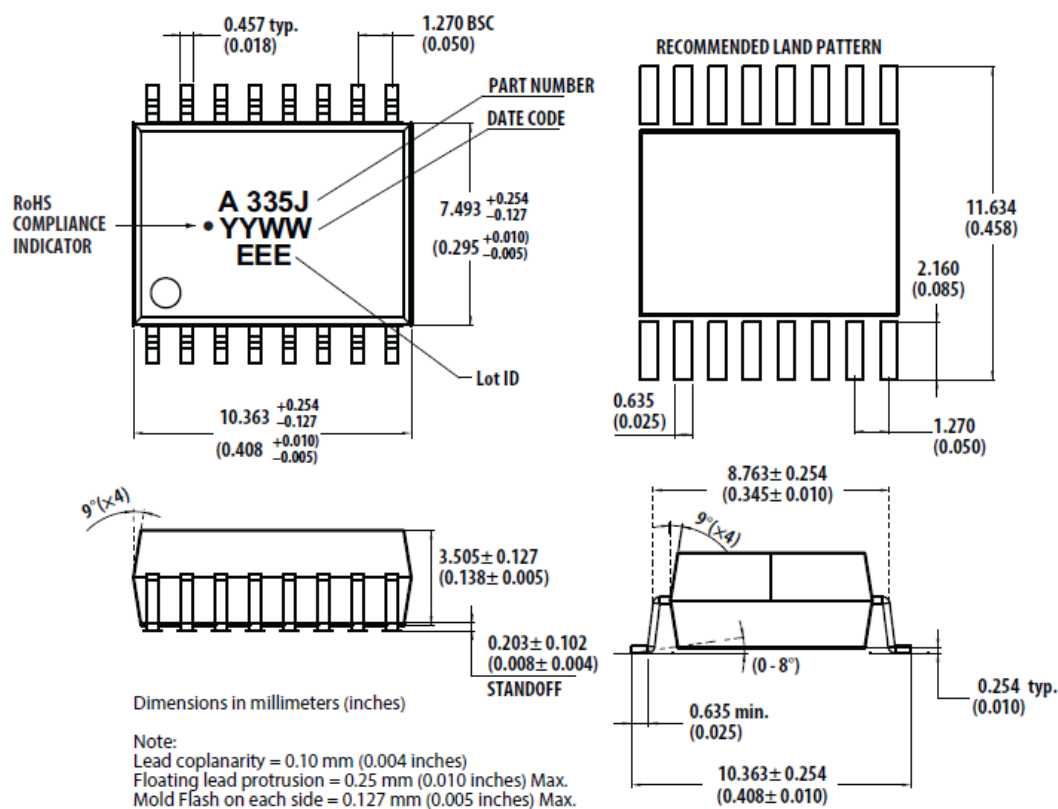
例 1 :

ACPL-335J-500E は、RoHS 指令準拠、IEC/EN/DIN EN 60747-5-5 認証、テープ&リール梱包の SO-6 表面実装パッケージの製品です。

オプションのデータシートをご用意しています。梱包形態等の詳細は、アバゴの正規販売代理店までお問い合わせください。

パッケージ寸法図

16-Lead Surface Mount



推奨鉛フリーIR プロファイル

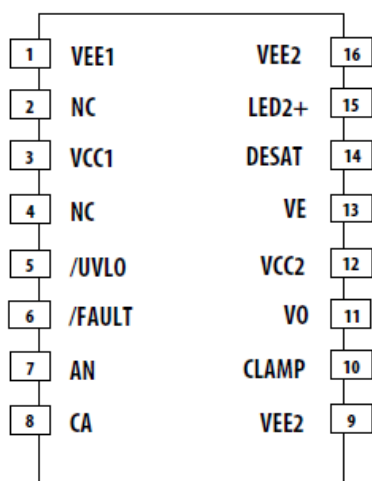
JEDEC 規格 J-STD-020 (最新版) に準拠したリフロー条件を推奨。

非ハロゲン化物系フラックスを使用してください。

製品概要

ACPL-335J は、絶縁型 MOSFET ゲート駆動回路に必要なすべての機能が組み込まれた高集積電力制御デバイスです。シャットダウン保護およびフォルト・フィードバック機能付き非飽和検出、フィードバック付きアンダーボルテージ・ロックアウトおよびアクティブ・ミラー・クランプを内蔵した SO-16 パッケージ製品です。直接 LED 入力が入力インピーダンスによるフレキシブルな論理構成と差動電流モード駆動を可能し、雑音耐性を大幅に高めています。

パッケージピン配列



ピンの機能

ピン名	機能	ピン名	機能
VEE1	入力コモン	VEE2	ゲート負電源
NC	非接続	LED2+	テスト専用（非接続としてください）
VCC1	入力電源	DESAT	Desat 短絡検出
NC	非接続	VE	MOSFET ソース基準
UVLO	VCC2 アンダーボルテージ・ロックアウト・フィードバック	VCC2	ゲート正電源
/FAULT	非飽和フォルト・フィードバック	VO	MOSFET ゲート駆動出力
AN	入力 LED アノード	クランプ	ミラー電流クランプ
CA	入力 LED カソード	VEE2	ゲート負電源

安全規格

The ACPL-335J is approved by the following organizations:

UL	Approved under UL 1577, component recognition program up to $V_{ISO} = 5000 V_{RMS}$
CSA	Approved under CSA Component Acceptance Notice #5, File CA 88324.
IEC/EN/DIN EN 60747-5-5	Approved under IEC 60747-5-5, EN 60747-5-5, DIN EN 60747-5-5

IEC/EN/DIN EN 60747-5-5 絶縁特性

Description	Symbol	Characteristic	Unit
Insulation Classification per DIN VDE 0110/1.89, Table 1 for rated mains voltage $\leq 150V_{RMS}$ for rated mains voltage $\leq 300V_{RMS}$ for rated mains voltage $\leq 600V_{RMS}$ for rated mains voltage $\leq 1000V_{RMS}$		I – IV I – IV I – IV I – III	
Climatic Classification		40/105/21	
Pollution Degree (DIN VDE 0110/1.89)		2	
Maximum Working Insulation Voltage	V_{IORM}	1230	V_{PEAK}
Input to Output Test Voltage, Method b $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test with $t_m = 1\text{sec}$, Partial discharge $< 5\text{pC}$	V_{PR}	2306	V_{PEAK}
Input to Output Test Voltage, Method a $V_{IORM} \times 1.6 = V_{PR}$, Type and Sample Test, $t_m = 10\text{sec}$, Partial Discharge $< 5\text{pC}$	V_{PR}	1968	V_{PEAK}
Highest Allowable Overvoltage (Transient Overvoltage $t_{ini} = 60\text{sec}$)	V_{IOTM}	8000	V_{PEAK}
Safety-limiting values – maximum values allowed in the event of a failure Case Temperature Input Power Output Power	T_S $P_{S,INPUT}$ $P_{S,OUTPUT}$	175 400 1200	$^{\circ}\text{C}$ mW mW
Insulation Resistance at T_S , $V_{IO} = 500V$	R_S	$> 10^9$	Ohm

Notes:

Isolation characteristics are guaranteed only within the safety maximum ratings which must be ensured by protective circuits in application. Surface mount classification is class A in accordance with CECC00802.

Refer to IEC/EN/DIN EN 60747-5-5 Optoisolator Safety Standard section of the Avago Regulatory Guide to Isolation Circuits, AV02-2041EN for a detailed description of Method a and Method b partial discharge test profiles.

絶縁と安全性に関する仕様

Parameter	Symbol	Value	Units	Conditions
Minimum External Air Gap (Clearance)	L(101)	8.3	mm	Measured from input terminals to output terminals, shortest distance through air.
Minimum External Tracking (Creepage)	L(102)	8.3	mm	Measured from input terminals to output terminals, shortest distance path along body.
Minimum Internal Plastic Gap (Internal Clearance)		0.5	mm	Through insulation distance conductor to conductor, usually the straight line distance thickness between the emitter and detector.
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110)

絶対最大定格

Unless otherwise specified, all voltages at input IC reference to V_{EE1} , all voltages at output IC reference to V_{EE2} .

Parameter	Symbol	Min.	Max.	Units	Note
Storage Temperature	T_S	-55	125	°C	
Operating Temperature	T_A	-40	105	°C	
IC Junction Temperature	T_J		125	°C	1
Average Input Current	$I_{F(AVG)}$		20	mA	
Peak Transient Input Current (<1us pulse width, 300pps)	$I_{F(TRAN)}$		1	A	
Reverse Input Voltage	V_R		6	V	
/Fault Output Current (Sinking)	$I_{/FAULT}$		10	mA	
/Fault Pin Voltage	$V_{/FAULT}$	-0.5	6	V	
/UVLO Output Current (Sinking)	$I_{/UVLO}$		10	mA	
/UVLO Pin Voltage	$V_{/UVLO}$	-0.5	6	V	
Positive Input Supply Voltage	V_{CC1}	-0.5	26	V	
Total Output Supply Voltage	V_{CC2}	-0.5	30	V	
Negative Output Supply Voltage	$V_{EE2} - V_E$	-10	0.5	V	2
Positive Output Supply Voltage	$V_{CC2} - V_E$	-0.5	30	V	
Gate Drive Output Voltage	$V_{O(PEAK)}$	-0.5	$V_{CC2}+0.5$	V	
Peak Output Current	$ I_{O(PEAK)} $		2.5	A	3
Peak Clamping Sinking Current	I_{CLAMP}		2	A	3
Miller Clamping Pin Voltage	$V_{CLAMP} - V_{EE2}$	-0.5	$V_{CC2}+0.5$	V	
Desat Voltage	$V_{DESAT} - V_E$	$V_E - 0.5$	$V_{CC2}+0.5$	V	4
Desat Discharging Current (Continuous)	I_{DSCHG}		5	mA	
Output IC Power Dissipation	P_O		580	mW	1
Input IC Power Dissipation	P_I		150	mW	

推奨動作条件

Parameter	Symbol	Min.	Max.	Units	Notes
Operating Temperature	T_A	-40	105	°C	
Input Supply Voltage	$V_{CC1} - V_{EE1}$	8	18	V	
Total Output Supply Voltage	$V_{CC2} - V_{EE2}$	12	20	V	5
Negative Output Supply Voltage	$V_{EE2} - V_E$	-8	0	V	3
Positive Output Supply Voltage	$V_{CC2} - V_E$	12	20	V	
Input LED Current	$I_{F(ON)}$	10	16	mA	
Input Voltage (OFF)	$V_{F(OFF)}$	-5.5	0.8	V	
Input pulse width	$t_{ON(LED)}$	500		ns	

電気およびスイッチング特性仕様

Unless otherwise specified, all Minimum/Maximum specifications are at recommended operating conditions. All typical values at $T_A = 25^\circ\text{C}$, $V_{CC1} = 12\text{ V}$, $V_{CC2}-V_{EE2}=13\text{V}$, $V_E-V_{EE2}=0\text{V}$. All voltages at input IC reference to V_{EE1} , all voltages at output IC reference to V_{EE2} .

Parameter	Symbol	Min.	Typ.*	Max.	Units	Test Conditions	Fig.	Note
IC Supply Current								
Input Supply Current	I_{CCI}		3.7	6.0	mA		3	
Output Low Supply Current	I_{CC2L}		10.5	13.2	mA	$I_F=0\text{mA}$	4	
Output High Supply Current	I_{CC2H}		10.6	13.6	mA	$I_F=10\text{mA}$	4	
Logic Input and Output								
LED Forward Voltage	V_F	1.25	1.55	1.85	V	$I_F=10\text{mA}$	5	
LED Reverse Breakdown Voltage	V_{BR}	6			V	$I_F = -10\mu\text{A}$		
Input Capacitance	C_{IN}		90		pF			
LED Turn on Current Threshold Low to High	I_{TH+}		2.7	6.6	mA	$V_O=5\text{V}$	6	
LED Turn on Current Threshold High to Low	I_{TH-}		2.1	6.4	mA	$V_O=5\text{V}$	6	
LED Turn on Current Hysteresis	I_{TH_HYS}		0.6		mA			
/FAULT Logic Low Output Current	I_{FAULT_L}	4.0	9.0		mA	$V_{/FAULT} = 0.4\text{V}$		
/FAULT Logic High Output Current	I_{FAULT_H}			20	μA	$V_{/FAULT} = 5\text{V}$		
/UVLO Logic Low Output Current	I_{UVLO_L}	4.0	9.0		mA	$V_{/UVLO} = 0.4\text{V}$		
/UVLO Logic High Output Current	I_{UVLO_H}			20	μA	$V_{/UVLO} = 5\text{V}$		
Gate Driver								
High Level Output Current	I_{OH}		-2.0	-0.75	A	$V_O = V_{CC2}-3\text{V}$	7	4
Low Level Output Current	I_{OL}	1.0	2.2		A	$V_O = V_{EE2}+2.5\text{V}$	8	4
High Level Output Voltage	V_{OH}	$V_{CC2}-0.5$	$V_{CC2}-0.2$		V	$I_O = -100\text{ mA}$		6 – 8
Low Level Output Voltage	V_{OL}		0.1	0.5	V	$I_O = 100\text{ mA}$		

Parameter	Symbol	Min.	Typ.*	Max.	Units	Test Conditions	Fig.	Note
VIN to High Level Output Propagation Delay Time	t_{PLH}	50	110	250	ns	Vsource = 3.3V Rf = 140 Ω , Rg = 10 Ω Clload = 1 nF f = 200 kHz Duty Cycle = 50%	9, 12	9
VIN to Low Level Output Propagation Delay Time	t_{PHL}	50	150	250	ns			10
Pulse Width Distortion ($t_{PHL}-t_{PLH}$)	PWD	-20		100	ns			11,12
Dead Time Distortion ($t_{PLH}-t_{PHL}$)	DTD	-100		20	ns			12,13
10% to 90% Rise Time	t_R		60		ns			
90% to 10% Fall Time	t_F		50		ns			
Output High Level Common Mode Transient Immunity	$ CM_H $	50	>70		kV/ μ s	TA=25°C, VCM=1500V, VCC2=20V	13	14
Output Low Level Common Mode Transient Immunity	$ CM_L $	50	>70		kV/ μ s	TA=25°C, VCM=1500V VCC2=20V	14	15
Active Miller Clamp								
Clamp Threshold Voltage	VTH_CLAMP		2.0	3.0	V			
Clamp Low Level Sinking Current	ICLAMP	0.75	1.9		A	VCLAMP = VEE2 +2.5 V		
VCC2 UVLO Protection (UVLO voltage VUVLO reference to VE)								
VCC2 UVLO Threshold Low to High	VUVLO+	8.8	10	11.2	V	VO > 5 V		8, 16
VCC2 UVLO Threshold High to Low	VUVLO-	7.8	9	10.2	V	VO < 5 V		8, 17
VCC2 UVLO Hysteresis	VUVLO_HYS		1		V			
VCC2 to UVLO High Delay	tPLH_UVLO		10		μ s			18
VCC2 to UVLO Low Delay	tPHL_UVLO		10		μ s			19
VCC2 UVLO to VOUT High Delay	tUVLO_ON		10		μ s			20
VCC2 UVLO to VOUT Low Delay	tUVLO_OFF		10		μ s			21
VCC2 UVLO Threshold Low to High	VUVLO+	8.8	10	11.2	V	VO > 5 V		8, 16
Desaturation Protection (Desat voltage VDESAT reference to VE)								
Desat Sensing Threshold	VDESAT	3.4	3.9	4.4	V		10	8
Desat Discharging Current (Pulsed)	IDSCHG	20	53		mA	VDESAT = 5V	11	
Internal Desat Blanking Time	tDESAT(BLANKING)	0.2	0.4	0.6	μ s	Clload =1 nF	6	22
Desat Sense to 90% VO Delay	tDESAT(90%)		0.15	0.5	μ s		6	23
Desat to Low Level FAULT Signal Delay	tDESAT(/FAULT)			7	μ s		6	24
Output Mute Time due to Desat	tDESAT(MUTE)	2.3	3.2	5	ms		6	25
Time for Input Kept Low Before Fault Reset to High	tDESAT(RESET)	2.3	3.2	5	ms		6	26

パッケージ特性

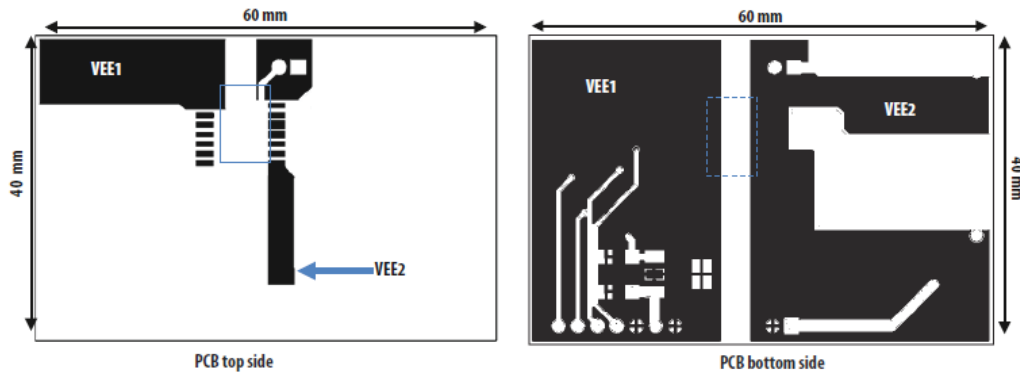
Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Note
Input-Output Momentary Withstand Voltage	V_{ISO}	5000			V_{RMS}	RH < 50%, t = 1 min. $T_A = 25^\circ\text{C}$	27, 28, 29
Resistance (Input-Output)	R_{I-O}		10^{14}		Ω	$V_{I-O} = 500 V_{DC}$	29
Capacitance (Input-Output)	C_{I-O}		1.3		pF	f = 1 MHz	
Thermal coefficient between LED and input IC	A_{EI}		35.4		$^\circ\text{C/W}$		
Thermal coefficient between LED and output IC	A_{EO}		33.1		$^\circ\text{C/W}$		
Thermal coefficient between input IC and output IC	A_{IO}		25.6		$^\circ\text{C/W}$		
Thermal coefficient between LED and Ambient	A_{EA}		176.1		$^\circ\text{C/W}$		
Thermal coefficient between input IC and Ambient	A_{IA}		92		$^\circ\text{C/W}$		
Thermal coefficient between output IC and Ambient	A_{OA}		76.7		$^\circ\text{C/W}$		

Notes:

- Output IC power dissipation is derated linearly above 95°C from 580 mW to 380 mW at 105°C based on the thermal characteristic on page 11.
- This supply is optional. Required only when negative gate drive is implemented.
- Maximum pulse width = 1 μs , maximum duty cycle = 1%.
- Maximum 500 ns pulse width if peak $V_{DESAT} > 10\text{ V}$.
- 12 V is the recommended minimum operating positive supply voltage ($V_{CC2} - V_E$) to ensure adequate margin in excess of the maximum V_{UVLO+} threshold of 11.2 V.
- For High Level Output Voltage testing, V_{OH} is measured with a DC load current. When driving capacitive loads, V_{OH} will approach V_{CC} as I_{OH} approaches zero.
- Maximum pulse width = 1.0 ms, maximum duty cycle = 20%.
- Once V_O of the ACPL-335J is allowed to go high ($V_{CC2} - V_E > V_{UVLO}$), the DESAT detection feature of the ACPL-335J will be the primary source of IGBT protection. UVLO is needed to ensure DESAT is functional. Once V_{CC2} exceeds V_{UVLO+} threshold, DESAT will remain functional until V_{CC2} is below V_{UVLO-} threshold. Thus, the DESAT detection and UVLO features of the ACPL-335J work in conjunction to ensure constant IGBT protection.
- t_{PLH} is defined as propagation delay from 50% of LED input I_F to 50% of High level output.
- t_{PHL} is defined as propagation delay from 50% of LED input I_F to 50% of Low level output.
- Pulse Width Distortion (PWD) is defined as ($t_{PHL} - t_{PLH}$) of any given unit.
- As measured from I_F to V_O .
- Dead Time Distortion (DTD) is defined as ($t_{PLH} - t_{PHL}$) between any two ACPL-335J parts under the same test conditions.
- Common mode transient immunity in the high state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM} , to assure that the output will remain in the high state (i.e., $V_O > 12\text{ V}$).
- Common mode transient immunity in the low state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM} , to assure that the output will remain in a low state (i.e., $V_O < 1.0\text{ V}$).
- This is the "increasing" (i.e., turn-on or "positive going" direction) of $V_{CC2} - V_E$.
- This is the "decreasing" (i.e., turn-off or "negative going" direction) of $V_{CC2} - V_E$.
- The delay time when V_{CC2} exceeds UVLO+ threshold to UVLO High – 50% of UVLO positive-going edge.
- The delay time when V_{CC2} falls below UVLO- threshold to UVLO Low – 50% of UVLO negative-going edge.
- The delay time when V_{CC2} exceeds UVLO+ threshold to 50% of High level output.
- The delay time when V_{CC2} falls below UVLO- threshold to 50% of Low level output.
- The delay time for ACPL-335J to respond to a DESAT fault condition without any external DESAT capacitor.
- The amount of time from when DESAT threshold is exceeded to 90% of VGATE at mentioned test conditions.
- The amount of time from when DESAT threshold is exceeded to FAULT output Low – 50% of V_{CC1} voltage.
- The amount of time when DESAT threshold is exceeded, Output is mute to LED input.
- The amount of time when DESAT Mute time is expired, LED input must be kept Low for Fault status to return to High.
- In accordance with UL1577, each optocoupler is proof tested by applying an insulation test voltage $\geq 6000 V_{RMS}$ for 1 second.
- The Input-Output Momentary Withstand Voltage is a dielectric voltage rating that should not be interpreted as an input-output continuous voltage rating. For the continuous voltage rating, refer to your equipment level safety specification or IEC/EN/DIN EN 60747-5-5 Insulation Characteristics Table.
- Device considered a two terminal device: pins 1 - 8 shorted together and pins 9 - 16 shorted together.

熱特性

Thermal Characteristics are based on the ground planes layout of the evaluation PCB.



熱計算に関する注意

ACPL-335J のアプリケーションと環境設計においては、内部の IC と LED の接合温度が 125°C を超えないようにしてください。以下の式は、最大消費電力が接合温度に及ぼす影響を求めるものであり、前に示したような特定の PCB レイアウトでの熱特性を参考として比較するためのものです。ここに示した熱抵抗モデルは、個々のアプリケーション固有の環境におけるパッケージ性能を予測するものではありません。

$$\begin{aligned} \text{LED Junction Temperature} &= A_{EA} \cdot P_E + A_{EI} \cdot P_I + A_{EO} \cdot P_O + T_A \text{ Input} \\ \text{IC Junction Temperature} &= A_{EI} \cdot P_E + A_{IA} \cdot P_I + A_{IO} \cdot P_O + T_A \text{ Output IC} \\ \text{Junction Temperature} &= A_{EO} \cdot P_E + A_{IO} \cdot P_I + A_{OA} \cdot P_O + T_A \end{aligned}$$

P_E - LED Power Dissipation

P_I - Input IC Power Dissipation

P_O - Output IC Power Dissipation

LED 消費電力の計算

$$\text{LED Power Dissipation, } P_E = I_{F(\text{LED})} (\text{Recommended Max}) \cdot V_{F(\text{LED})} \cdot \text{Duty Cycle}$$

$$\text{Example: } P_E = 16\text{mA} \cdot 1.25 \cdot 50\% \text{ duty cycle} = 10\text{mW}$$

入力 IC 消費電力の計算

$$\text{Input IC Power Dissipation, } P_I = I_{CC1} (\text{Max}) \cdot V_{CC1} (\text{Recommended Max})$$

$$\text{Example: } P_I = 6\text{mA} \cdot 18\text{V} = 108\text{mW}$$

出力 IC 消費電力の計算

Output IC Power Dissipation, $P_O = V_{CC2} (\text{Recommended Max}) * I_{CC2} (\text{Max}) + P_{HS} + P_{LS}$

P_{HS} - High Side Switching Power Dissipation

P_{LS} - Low Side Switching Power Dissipation

$$P_{HS} = (V_{CC2} * Q_G * f_{PWM}) * R_{OH(MAX)} / (R_{OH(MAX)} + R_{GH}) / 2$$

$$P_{LS} = (V_{CC2} * Q_G * f_{PWM}) * R_{OL(MAX)} / (R_{OL(MAX)} + R_{GL}) / 2$$

Q_G - Gate Charge at Supply Voltage

f_{PWM} - LED Switching Frequency

$R_{OH(MAX)}$ - Maximum High Side Output Impedance - $V_{OH(MIN)} / I_{OH(MIN)}$

R_{GH} - Gate Charging Resistance

$R_{OL(MAX)}$ - Maximum Low Side Output Impedance - $V_{OL(MIN)} / I_{OL(MIN)}$

R_{GL} - Gate Discharging Resistance

Example:

$$R_{OH(MAX)} = (V_{CC2} - V_{OH(MIN)}) / I_{OH(MIN)} = 3 \text{ V} / 0.75 \text{ A} = 4 \Omega$$

$$R_{OL(MAX)} = V_{OL(MIN)} / I_{OL(MIN)} = 2.5 \text{ V} / 1 \text{ A} = 2.5 \Omega$$

$$P_{HS} = (20 \text{ V} * 100 \text{ nC} * 200 \text{ kHz}) * 4 \Omega / (4 \Omega + 10 \Omega) / 2 = 57.14 \text{ mW}$$

$$P_{LS} = (20 \text{ V} * 100 \text{ nC} * 200 \text{ kHz}) * 2.5 \Omega / (2.5 \Omega + 10 \Omega) / 2 = 40 \text{ mW}$$

$$P_O = 20 \text{ V} * 13.6 \text{ mA} + 57.14 \text{ mW} + 40 \text{ mW} = 360.14 \text{ mW}$$

接合温度の計算

LED Junction Temperature = $176.1 \text{ }^\circ\text{C/W} * 10 \text{ mW} + 35.4 \text{ }^\circ\text{C/W} * 108 \text{ mW} + 33.1 * 360.14 \text{ mW} + T_A = 17.5^\circ\text{C} + T_A$ Input

IC Junction Temperature = $35.4 \text{ }^\circ\text{C/W} * 10 \text{ mW} + 92 \text{ }^\circ\text{C/W} * 108 \text{ mW} + 25.6 * 360.14 \text{ mW} + T_A = 19.5^\circ\text{C} + T_A$ Output IC

Junction Temperature = $33.1 \text{ }^\circ\text{C/W} * 10 \text{ mW} + 25.6 \text{ }^\circ\text{C/W} * 108 \text{ mW} + 76.7 * 360.14 \text{ mW} + T_A = 30.7^\circ\text{C} + T_A$

標準的な特性例

Figure 1 I_{CC1} across temperature

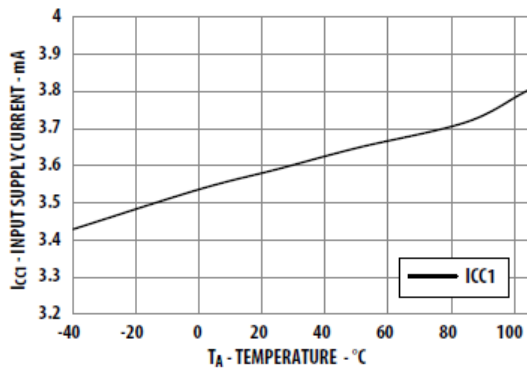


Figure 2 I_{CC2} across temperature

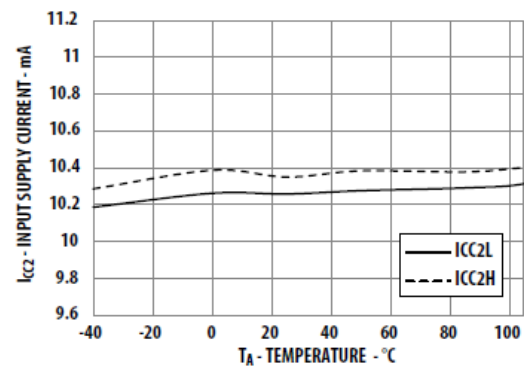


Figure 3 I_F vs V_F

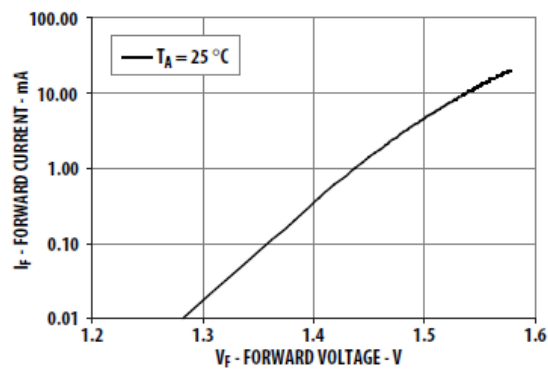


Figure 4 I_{TH} across temperature

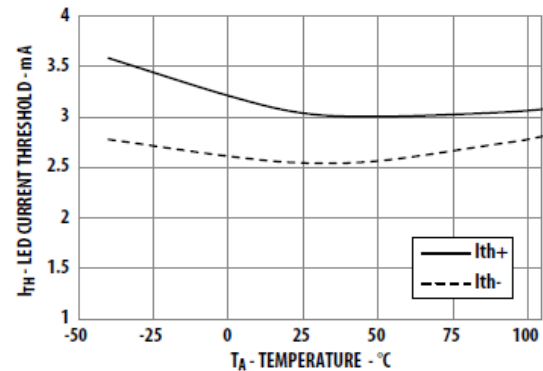


Figure 5 V_{OH} vs I_{OH}

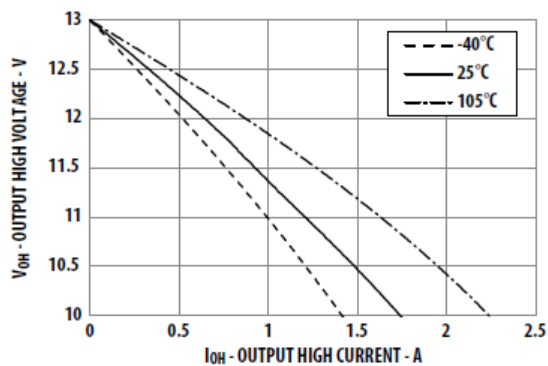


Figure 6 V_{OL} vs I_{OL}

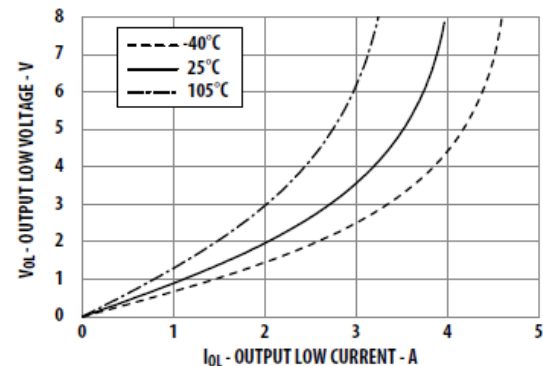


Figure 7 T_p across temperature

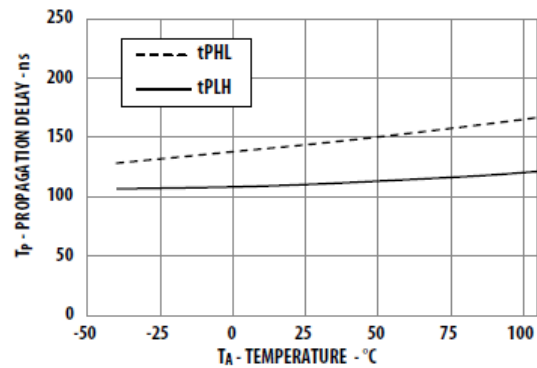


Figure 8 V_{DESAT} Threshold across temperature

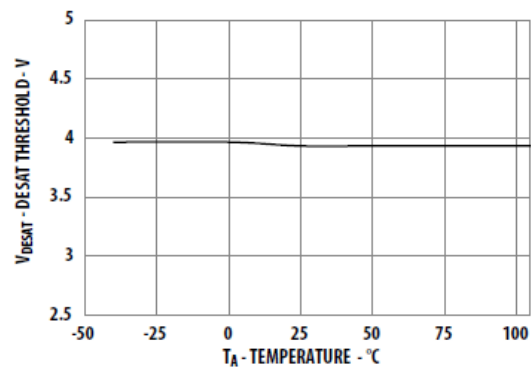


Figure 9 I_{DSCHG} across temperature

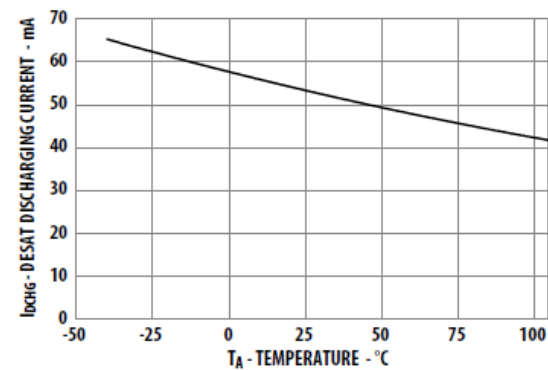


Figure 10 Propagation Delay Test Circuit and Timing Diagram

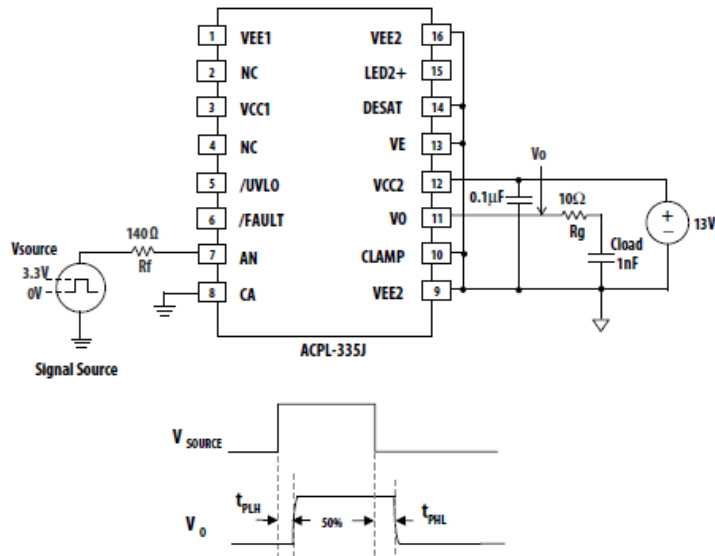


Figure 11 CMR Vo High Test Circuit

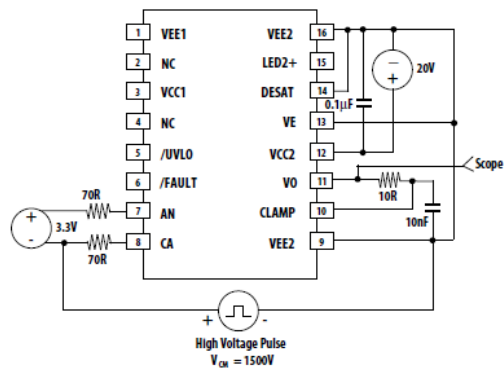
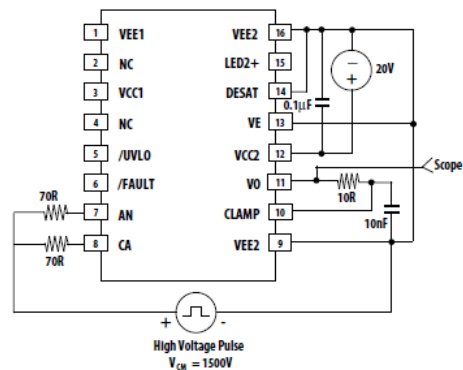


Figure 12 CMR Vo Low Test Circuit

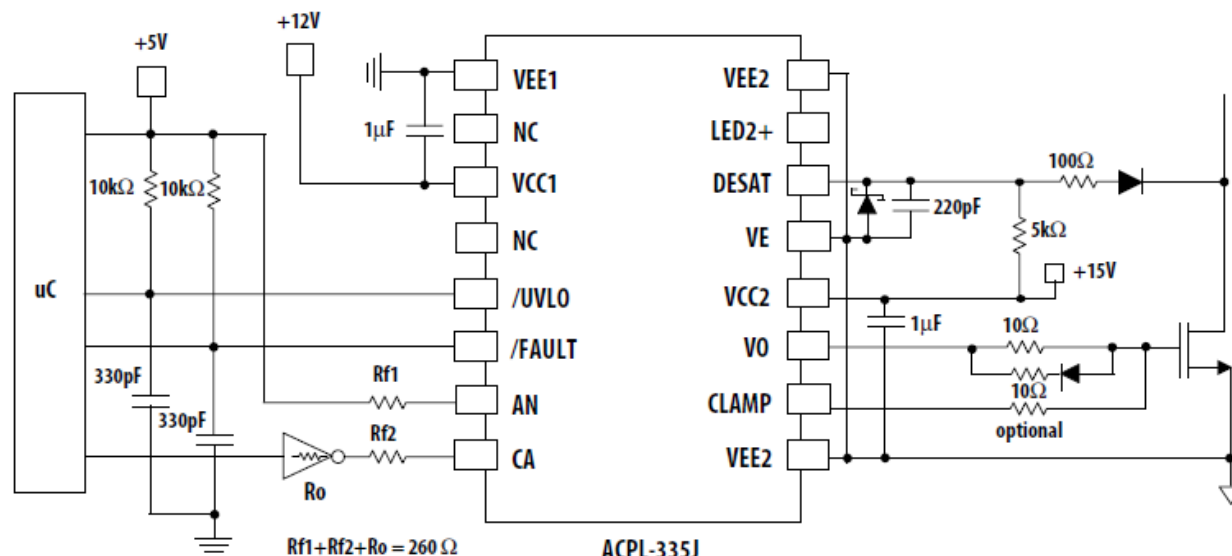


推獎応用回路

図 13 に示した推奨応用回路は、ACPL-335J を用いた一般的なゲート駆動回路です。

2つの電源バイパス・コンデンサ ($1\mu\text{F}$) が、スイッチング動作中に必要な大きな過渡電流を供給します。フォルト検出回路に必要な外部部品は、Desat ダイオードと 220pF のブランキング・キャパシタのみです。ゲート抵抗 (10Ω) は、ゲート充電電流を制限する働きをし、MOSFET ドレイン電圧の立ち上がり時間と立ち下がり時間を間接的に制御します。オープンコレクタのフォルトおよび UVLO 出力は、 $10\text{k}\Omega$ の抵抗でプルアップするとともに、 330pF のフィルタリング・キャパシタを使用します。

Figure 13 Recommended gate drive circuit with Desat current sensing using ACPL-335J



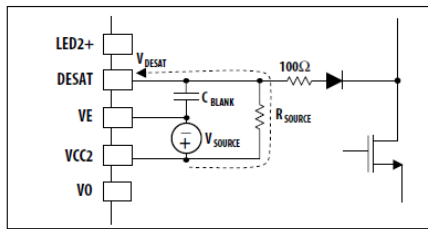
Desat フォルト検出ブランキング時間

Desat フォルト検出回路は、MOSFET のターンオン後、ドレイン電圧が Desat しきい値より低くなるまでの短時間、ディセーブルされたままでなければなりません。Desat ブランキング時間と呼ばれるこの期間は、内部 Desat ブランキング時間と外部ブランキング時間の両方によって制御されます。外部ブランキング時間は、外部 RC 充電時時間と Desat 電圧しきい値によって決定されます。

全ブランキング時間は、内部ブランキング時間($t_{\text{DESAT (BLANKING)}}$)および、外付抵抗(R_{SOURCE})、外付キャパシタ(C_{BLANK})、外部充電源(V_{SOURCE})および Desat 検出しきい値(V_{DESAT})によって与えられる外部 RC 充電時間から計算されます。外部 RC 充電回路を図 14 に示します。

$$t_{BLANK} = t_{DESAT(BLANKING)} - R_{SOURCE} C_{BLANK} \ln(1 - \frac{V_{DESAT}}{V_{SOURCE}})$$

Figure 14 External RC charging circuit



ゲート・ドライバとミラー・クランプ

ゲート・ドライバは、LED 電流によって直接制御されます。LED に電流が通電されたとき、ACPL-335J の出力は、MOSFET のゲートを駆動する 2.5A のソース電流を吐き出します。LED が消灯されている間、ゲート・ドライバは、ゲートを高速に遮断する 2.5A のシンク電流を引き込みます。図 15 のように、出力電圧が V_{EE2} に対して約 2V になったとき、追加のミラークランプ・プルダウン・トランジスタが動作してミラー電流の低インピーダンス・パスを形成します。

Figure 15 Gate drive signal behavior

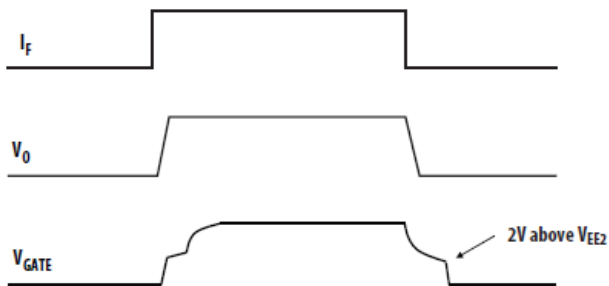
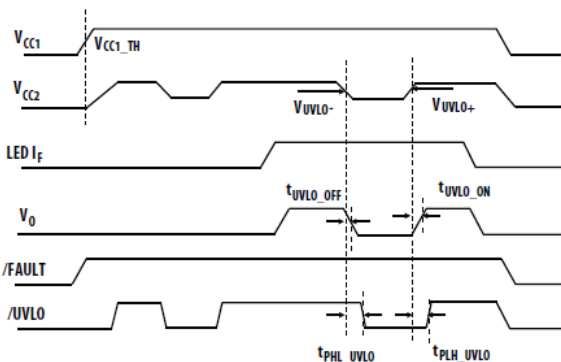


Figure 16 Circuit behaviors at power up and power down



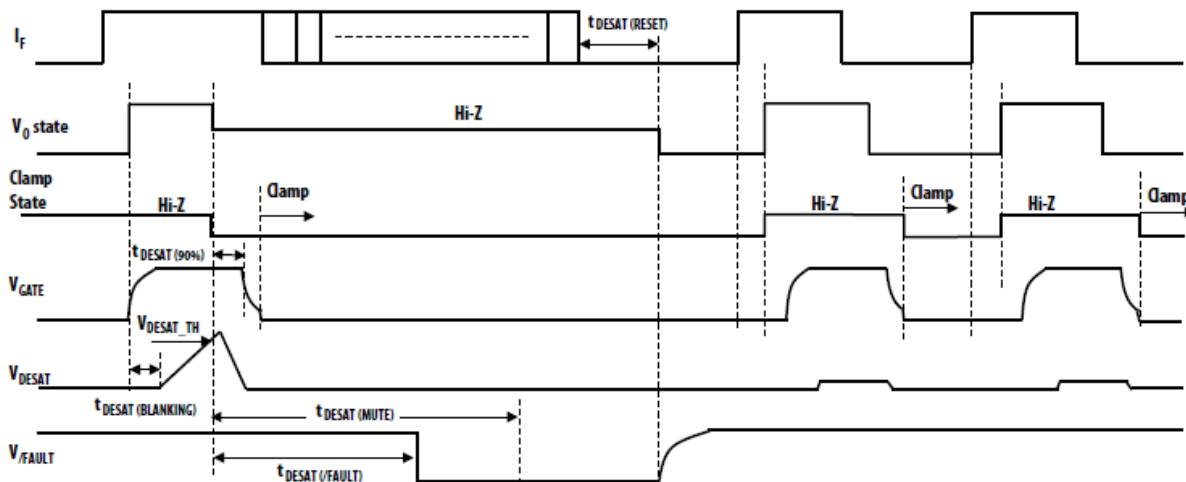
ダーボルテージ・ロックアウト (UVLO)

MOSFET へのゲート電圧が不十分になると MOSFET のオン抵抗が大きくなり、消費電力が増えて過大な発熱により MOSFET が破損することがあります。ACPL-335J は、出力電源を常に監視しています。出力電源電圧が、アンダーボルテージロックアウト (UVLO) しきい値より低いときは、ゲート・ドライバ出力が遮断され MOSFET を低電圧バイアスから保護します。起動の際、UVLO 機能によってゲート・ドライバ出力が強制的にローレベルにされて低電圧での望ましくないターンオンを防ぎます。

過電流・短絡時の動作

1. DESAT 端子は、MOSFET のドレイン・ソース電圧 V_{DS} を監視します。
2. DESAT 端子上的電圧が Desat 検出しきい値を超えると出力がすぐに遮断されます。
3. フォルト出力がローになり、フォルト状態をマイクロコントローラに知らせます。
4. マイクロコントローラは、適切なアクションを取ります。
5. $t_{DESAT(MUTE)}$ が経過した後、LED 入力を $t_{DESAT(RESET)}$ 時間分ローに保つことによりフォルト状態をクリアできます。フォルト状態がハイに戻り、クランプ出力が Hi-Z 状態に戻ります。
6. 出力 (V_O) は、フォルト状態がクリアされた後に LED 入力に応答し始めます。

Figure 17 Circuit behaviors during over current event



推奨 LED 駆動回路

フォトカプラの入力制御回路と出力制御回路のグランド・レベルに差があるとき、いつでも同相雑音が生じます。図 18 と図 19 は、ロジック・ゲート (CMOS バッファ) を使用してゲートドライバ・フォトカプラの同相除去 (CMR) 性能を高める推奨 LED 駆動回路です。スプリット電流制限抵抗により、入力 LED のアノードとカソード両方のインピーダンスを平衡させ、同相除去性能を高めます。LED 駆動電流の計算には、CMOS バッファ (図 18 と図 19 に R_0 として示した) の出力インピーダンスを必ず含めます。

図 20 は、シングル・トランジスタを用いた推奨 LED 駆動回路です。LED がオフ状態の間、図 20 のトランジスタが電流をシャントするため消費電力が増えます。図 21 に示したようなオープン・ドレインおよびオープン・コレクタ駆動回路は推奨しません。その理由は、MOSFET/トランジスタのオフ状態の間、入力 LED のカソードが高インピーダンスとなり、同相スイッチング雑音の影響を受けやすくなるからです。

Figure 18 Recommended non inverting drive circuit

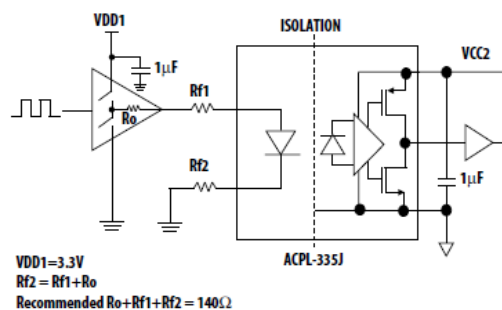


Figure 19 Recommended inverting drive circuit

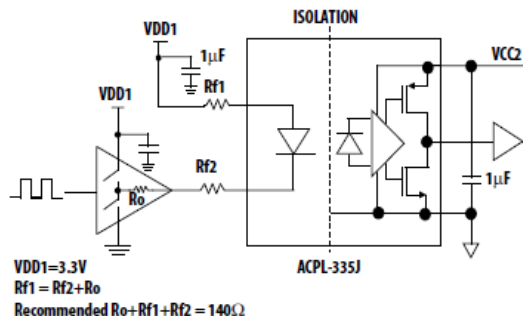


Figure 20 Recommended single transistor drive circuit

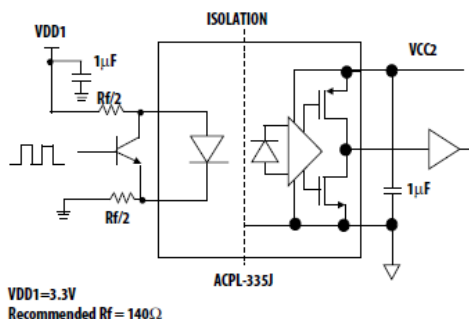
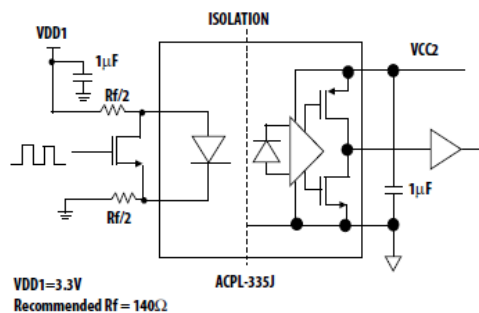
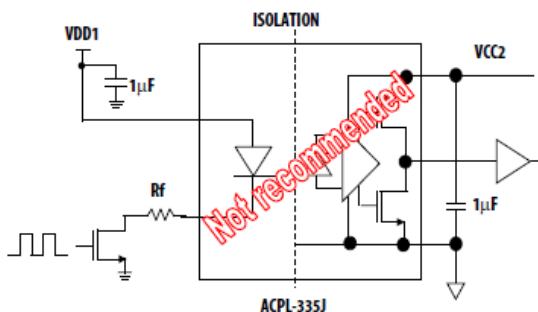
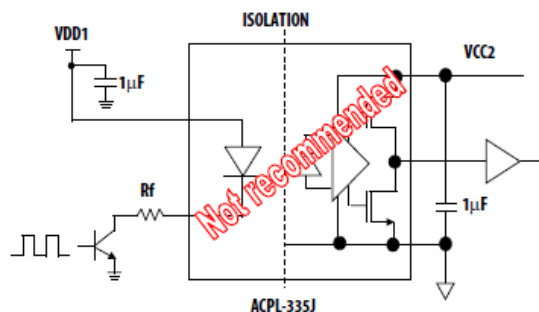


Figure 21 Not recommended – Open drain/ open collector drive circuit



駆動電力

LED 駆動に CMOS バッファを使用する場合、LED のカソード側に CMOS バッファを接続することを推奨します。その理由は、CMOS バッファの NMOS の電流シンク能力が、一般的に PMOS の駆動能力より大きいからです。

駆動ロジック

LED 駆動回路は、図 18 と図 19 に推奨されたような非反転及び反転ロジック方式を構成することができます。反転及び非反転ロジックを動作させるには、CMOS バッファに外部電源 V_{DD1} が必要です。 V_{DD1} 電源が失われると LED が消灯し放しとなりドライバ出力はローになります。

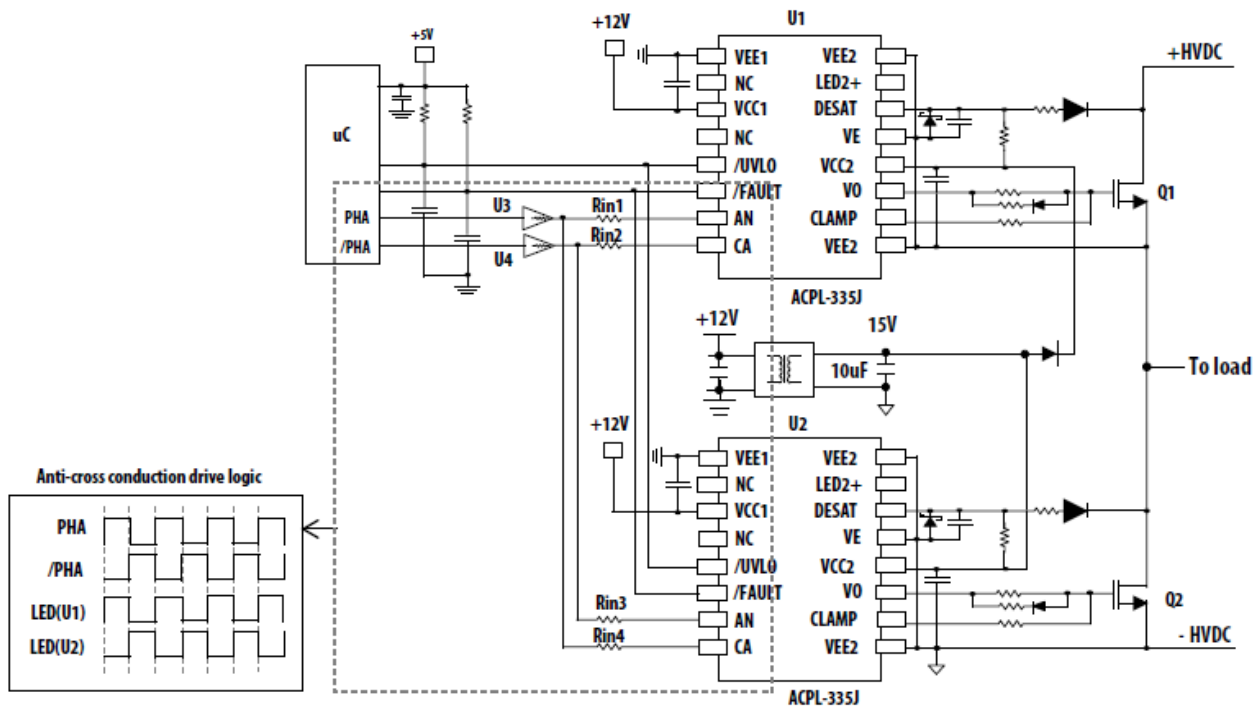
バイパス及びリザーバ・コンデンサ

入力バッファおよび ACPL-335J 出力電源ピンには電源バイパス・コンデンサが必要です。入力バッファには、高周波バイパス用に $1\mu\text{F}$ のセラミック・コンデンサを推奨します。これは、CMR 性能の改善にも有効です。出力電源ピンには、 $V_{CC2} - V_E$ 、 $V_E - V_{EE2}$ ピンと $V_{CC2} - V_{EE2}$ ピンの間に $1\mu\text{F}$ の低 ESR および低 ESL コンデンサを使用することを推奨します。これらのコンデンサは、スイッチング動作中に V_{OUT} から MOSFET に過渡駆動電流を供給するために使用されます。

上下同時導通防止駆動

ACPL-335J を使用することの多くの利点の 1 つが、ハイサイド・ゲート・ドライバとローサイド・ゲート・ドライバの間の上下同時導通防止駆動により、貫通電流を防ぐことが容易にできることです。この安全インターロック駆動回路は、図 22 のように、ハイサイド・ゲート・ドライバとローサイド・ゲート・ドライバの両方にバッファ U3 および U4 の出力を連動させることにより実現できます。しかしながら、フォトカップラ間の伝達遅延に差があるため、MOSFET ゲートでの十分なデッドタイムを保証するためにはある程度のデッドタイムを追加しなければなりません。詳しくは、「デッドタイムと伝達遅延」の節を参照してください。

Figure 22 Typical high speed MOSFET gate drive circuit



デッドタイム歪みと伝達遅延

デッドタイムは、ハイサイドとローサイド両方のパワートランジスタ (図 22 の Q1 および Q2) がオフになっているタイミングです。システムは、ゲートがオフにされた後、MOSFET の入力容量が放電されるのに必要なターンオフ遅延を補償するため、ある程度の時間のデッドタイムを設けるよう設計する必要があります。このアプリケーション・ノートでは、このデッドタイムをシステム・オリジナル・デッドタイムと呼びます。フォトカプラを使用する際、フォトカプラのデッドタイム歪み (DTD) がシステム・オリジナル・デッドタイムに与える影響を考慮することが必要です。フォトカプラの負 DTD は、システム・オリジナル・デッドタイムを減少させ、一方、フォトカプラの正 DTD は、システム・オリジナル・デッドタイムを増加させます。したがって、フォトカプラの負 DTD を補償するためには、システム・オリジナル・デッドタイムに追加のデッドタイムを加えます。図 23 と図 24 は、システム・オリジナル・デッドタイムに対するフォトカプラの DTD の影響を示します。

デッドタイムと伝達遅延波形

Figure 23 Negative DTD reduces original DT

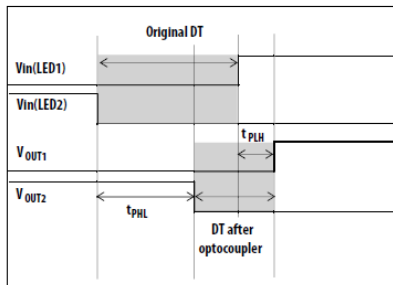
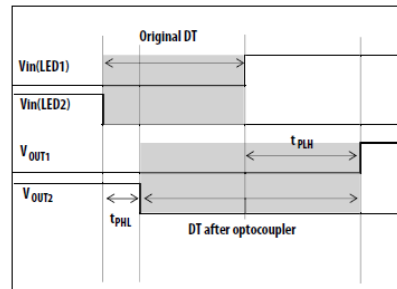


Figure 24 Positive DTD increases original DT



フォトカプラによる一般的な MOSFET 駆動回路の全デッドタイム計算例を示します。

必要とする全デッドタイム

=システム・オリジナル・デッドタイム+|フォトカプラの負 DTD|

=システム・オリジナル・デッドタイム+|100ns|

ここで、システム・オリジナル・デッドタイム= MOSFET ターンオフ遅延

注:

デッドタイム歪み (DTD) の計算に使用される伝達遅延は、対象のフォトカプラが互いに近接して実装され、同じタイプの MOSFET を駆動している状態で、等しい温度および試験条件で得られたものです。

製品情報と販売代理店リストは、弊社ウェブサイトをご覧ください。

www.avagotech.com

Avago Technologies と A ロゴは、アメリカ合衆国およびその他の国々における Avago Technologies の商標です。他のすべての商標と製品名は、それぞれの会社の登録商標である可能性があります。

データは変更されることがあります。Copyright©2015–2016 Avago Technologies. 著作権保有。

AV02-4977EN - December 16, 2016

