

低電力 10MBd デジタル CMOS フォトカプラ 15mm 沿面距離 ストレッチ S08 パッケージ

Data Sheet

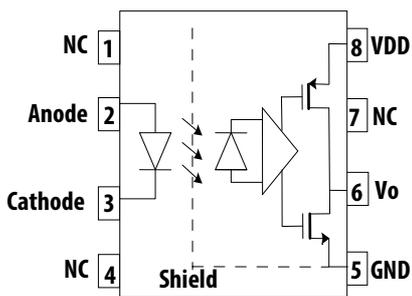
概要

ACNT-H61L は、LED と高ゲイン受光 IC を組み合わせた長沿面ストレッチ・パッケージの低消費電力フォトカプラです。このフォトカプラの消費電力は非常に低く、全温度範囲において電源供給電流は最大 2mA です。LED の順方向電流は 4.5 mA から動作します。

このフォトカプラは、3.3V および 5V の電源電圧に対応し、 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ の周囲温度で AC および DC 特性を保証しています。受光 IC は CMOS 出力です。デバイス内部のファラデー・シールドにより、同相過渡耐性 20 kV/ μs を実現します。

ACNT-H61L は、高い絶縁性能と沿面距離 15mm の S08 パッケージにより、絶縁型通信ロジック・インターフェース、690V_{AC} 駆動、再生可能エネルギー・インバータ、医療検査機器など、高電圧電源システムの信号絶縁に最適です。

内部ブロック図



真理値表 (正論理)

LED	出力 V_O
ON	L
OFF	H

V_{DD} - GND ピン間に 0.1 μF のバイパス・コンデンサを接続する必要があります。

特長

- 低消費電流 I_{DD} : 最大 2 mA
- LED 入力電流 : 最小 4.5 mA
- ストレッチ S08 パッケージ (15mm 沿面)
- 20 kV/ μs 以上の同相除去 (CMR) @ $V_{CM} = 1000\text{ V}$
- 高速データレート : 10 MBd 以上
- 広い動作周囲温度範囲 : $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$
- 安全規格認証 :
 - UL 1577 : 7500 V_{rms} 、1 分間
 - CSA
 - IEC/EN 60747-5-5 $V_{IORM} = 2262\text{ V}_{peak}$ (強化絶縁)

応用例

- 通信インターフェース : RS-485、CAN バス
- A/D、D/A 変換器のデジタル信号絶縁
- 高圧電力システム (690V 駆動系など)
- 再生可能エネルギー用インバータ
- 医用画像診断および患者モニタリング

注意

この製品を取り扱う際は、静電気放電による損傷や劣化を防ぐため、一般的な静電気対策を講じることをお勧めします。このデータ・シートに記載された製品は、軍事または航空宇宙用途および環境で使用しないでください。

オーダ情報

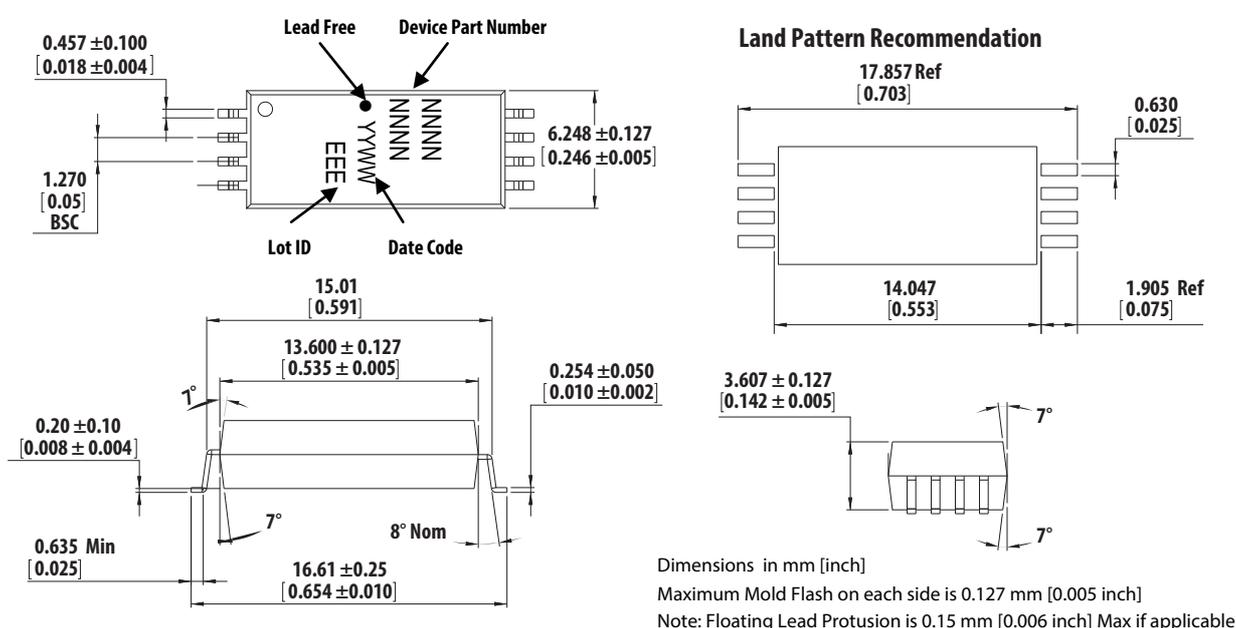
ACNT-H61L の UL 1577 認証における絶縁電圧は、7500 V_{rms} 1 分間です。

型名	オプション RoHS 指令準拠	パッケージ	表面実装	テープ & リール	UL 1577	IEC/EN 60747-5-5	梱包単位
ACNT-H61L	-000E	ストレッチ S08 (15mm 浴面)	X		X	X	80 個 / チューブ
	-500E		X	X	X	1000 個 / リール	

ご注文の際は、型名欄から選択した製品型名とオプション欄のご希望のオプションとを組み合わせで発注してください。

パッケージ寸法図

ACNT-H61L ストレッチ S08 パッケージ



推奨鉛フリー IR プロファイル

JEDEC 規格 J-STD-020 (最新版) に準拠したリフロー条件を推奨。非ハロゲン化物系フラックスを使用してください。

安全規格

The ACNT-H61L is pending approval by the following organizations:

IEC/EN 60747-5-5	
UL	Approval under UL 1577, component recognition program up to $V_{ISO} = 7500 V_{RMS}$ File E55361.
CSA	Approval under CSA Component Acceptance Notice #5, File CA 88324.

絶縁と安全に関連する仕様

Parameter	Symbol	ACNT-H61L	Unit	Conditions
Minimum External Air Gap (External Clearance)	L(101)	14.2	mm	Measured from input terminals to output terminals, shortest distance through air.
Minimum External Tracking (External Creepage)	L(102)	15	mm	Measured from input terminals to output terminals, shortest distance path along body.
Minimum Internal Plastic Gap (Internal Clearance)		0.5	mm	Through insulation distance conductor to conductor, usually the straight line distance thickness between the emitter and detector.
Tracking Resistance (Comparative Tracking Index)	CTI	>300	V	DIN IEC 112/VDE 0303 Part 1.
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1.)

IEC/EN 60747-5-5 絶縁特性^a

Description	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110/39, Table 1 for rated mains voltage $\leq 600 V_{rms}$ for rated mains voltage $\leq 1000 V_{rms}$		I - IV I - IV	
Climatic Classification		40/105/21	
Pollution Degree (DIN VDE 0110/39)		2	
Maximum Working Insulation Voltage	V_{IORM}	2262	V_{peak}
Input to Output Test Voltage, Method b ^a $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test with $t_m = 1$ sec, Partial Discharge < 5 pC	V_{PR}	4241	V_{peak}
Input to Output Test Voltage, Method a ^a $V_{IORM} \times 1.6 = V_{PR}$, Type and Sample Test, $t_m = 10$ sec, Partial Discharge < 5 pC	V_{PR}	3619	V_{peak}
Highest Allowable Overvoltage (Transient Overvoltage $t_{ini} = 60$ sec)	V_{IOTM}	12000	V_{peak}
Safety-limiting Values - Maximum Values Allowed in the Event of a Failure			
Case Temperature	T_S	150	$^{\circ}C$
Input Current	$I_{S, INPUT}$	400	mA
Output Power	$P_{S, OUTPUT}$	1000	mW
Insulation Resistance at T_S , $V_{I0} = 500V$	R_S	$>10^9$	Ω

- a. Refer to the optocoupler section of the Isolation and Control Components Designer's Catalog, under Product Safety Regulations section, (IEC/EN 60747-5-5) for a detailed description of Method a and Method b partial discharge test profiles.

絶対最大定格

Parameter	Symbol	Min	Max	Unit	Conditions
Storage Temperature	T_S	-55	125	°C	—
Operating Temperature	T_A	-40	105	°C	—
Reverse Input Voltage	V_R	—	5	V	—
Supply Voltage	V_{DD}	—	6.5	V	—
Average Forward Input Current	I_F	—	10	mA	—
Peak Forward Input Current	$I_{F(TRAN)}$	—	1	A	<1 μ s Pulse Width, <300 pulses per second
		—	80	mA	<1 μ s Pulse Width, <10% Duty Cycle
Output Current	I_O	—	10	mA	—
Output Voltage	V_O	-0.5	$V_{DD} + 0.5$	V	—
Input Power Dissipation	P_I	—	20	mW	—
Output Power Dissipation	P_O	—	22	mW	—
Lead Solder Temperature	T_{LS}	260°C for 10 sec., 1.6 mm below seating plane			
Solder Reflow Temperature Profile	—	Refer to 推奨鉛フリー IR プロファイル section.			

推奨動作条件

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T_A	-40	105	°C
Input Current, Low Level	I_{FL}	0	250	μ A
Input Current, High Level	I_{FH}	4.5	8	mA
Power Supply Voltage	V_{DD}	2.7	5.5	V
Forward Input Voltage	$V_{F(OFF)}$	—	0.8	V

電気特性仕様 (DC)

Over recommended temperature ($T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$), supply voltage ($2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$). All typical specifications are at $V_{DD} = 5\text{V}$, $T_A = 25^\circ\text{C}$.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions	Figure
Input Forward Voltage	V_F	1.20	1.38	1.85	V	$I_F = 7\text{ mA}$	1, 2
Input Reverse Breakdown Voltage	BV_R	7	—	—	V	$I_R = 10\ \mu\text{A}$	
Logic High Output Voltage	V_{OH}	$V_{DD} - 0.1$	V_{DD}	—	V	$I_F = 0\text{ mA}$, $V_I = 0\text{V}$, $I_O = -20\ \mu\text{A}$	
		$V_{DD} - 1.0$	V_{DD}	—	V	$I_F = 0\text{ mA}$, $V_I = 0\text{V}$, $I_O = -3.2\text{ mA}$	
Logic Low Output Voltage	V_{OL}	—	0.02	0.1	V	$I_F = 7\text{ mA}$, $V_I = 5\text{V}/3.3\text{V}$, $I_O = 20\ \mu\text{A}$	
		—	0.2	0.4	V	$I_F = 7\text{ mA}$, $V_I = 5\text{V}/3.3\text{V}$, $I_O = 3.2\text{ mA}$	
Input Threshold Current	I_{TH}	—	0.7	3.8	mA	—	3
Logic Low Output Supply Current	I_{DDL}	—	1	2	mA	—	4
Logic High Output Supply Current	I_{DDH}	—	1	2	mA	—	5
Input Capacitance	C_{IN}	—	20	—	pF	$f = 1\text{ MHz}$, $V_F = 0\text{V}$	
Input Diode Temperature Coefficient	$\Delta V_F / \Delta T_A$	—	-1.5	—	mV/°C	$I_F = 7\text{ mA}$	

スイッチング特性仕様 (AC)

Over recommended temperature ($T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$), supply voltage ($2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$). All typical specifications are at $V_{DD} = 5\text{V}$, $T_A = 25^\circ\text{C}$.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Propagation Delay Time to Logic Low Output ^a	t_{PHL}	—	40	100	ns	$I_F = 7\text{ mA}$, $V_I = 3.3\text{V}/5\text{V}$, $C_L = 15\text{ pF}$, CMOS Signal Levels. Figures 6, 7, 8, 9
Propagation Delay Time to Logic High Output ^a	t_{PLH}	—	40	100	ns	
Pulse Width	t_{PW}	100	—	—	ns	
Pulse Width Distortion ^b	PWD	—	5	40	ns	
Propagation Delay Skew ^c	t_{PSK}	—	—	40	ns	
Output Rise Time (10% to 90%)	t_R	—	10	—	ns	
Output Fall Time (90% to 10%)	t_F	—	10	—	ns	
Static Common-Mode Transient Immunity at Logic High Output ^d	$ CM_H $	20	35	—	$\text{kV}/\mu\text{s}$	$V_{CM} = 1000\text{V}$, $T_A = 25^\circ\text{C}$, $I_F = 0\text{ mA}$, $V_I = 0\text{V}$, $C_L = 15\text{ pF}$, CMOS Signal Levels
Static Common-Mode Transient Immunity at Logic Low Output ^e	$ CM_L $	20	35	—	$\text{kV}/\mu\text{s}$	$V_{CM} = 1000\text{ V}$, $T_A = 25^\circ\text{C}$, $I_F = 7\text{ mA}$, $V_I = 5\text{V}/3.3\text{V}$, $C_L = 15\text{ pF}$, CMOS Signal Levels
Dynamic Common-Mode Transient Immunity ^f	CMRD	—	35	—	$\text{kV}/\mu\text{s}$	$V_{CM} = 1000\text{V}$, $T_A = 25^\circ\text{C}$, $I_F = 7\text{ mA}$, $V_I = 5\text{V}/3.3\text{V}$, 10-MBd data rate, the absolute increase of PWD <10 ns

- t_{PHL} propagation delay is measured from the 50% (V_{in} or I_F) on the rising edge of the input pulse to the 50% V_{DD} of the falling edge of the V_O signal. t_{PLH} propagation delay is measured from the 50% (V_{in} or I_F) on the falling edge of the input pulse to the 50% level of the rising edge of the V_O signal.
- PWD is defined as $|t_{PHL} - t_{PLH}|$.
- t_{PSK} is equal to the magnitude of the worst-case difference in t_{PHL} and/or t_{PLH} that is seen between units at any given temperature within the recommended operating conditions.
- CM_H is the maximum tolerable rate of rise of the common-mode voltage to assure that the output remains in a high logic state.
- CM_L is the maximum tolerable rate of fall of the common-mode voltage to assure that the output remains in a low logic state.
- CMRD is the maximum tolerable rate of the common-mode voltage during data transmission to assure that the absolute increase of the PWD is less than 10 ns.

パッケージ特性

All typical at $T_A = 25^\circ\text{C}$.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Input-Output Insulation	V_{ISO}	7500	—	—	Vrms	RH < 50% for 1 min. $T_A = 25^\circ\text{C}$
Input-Output Resistance	R_{I-O}	—	10^{12}	—	Ω	$V_{I-O} = 500\text{V}$
Input-Output Capacitance	C_{I-O}	—	0.6	—	pF	$f = 1\text{ MHz}$, $T_A = 25^\circ\text{C}$

図 1 Typical Input Diode Forward Characteristic

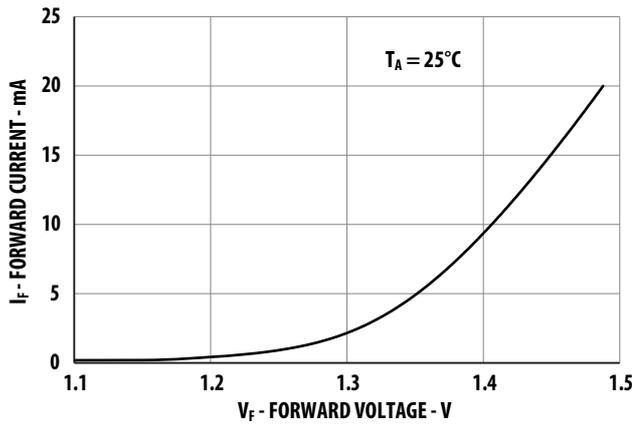


図 2 Typical V_F Versus Temperature

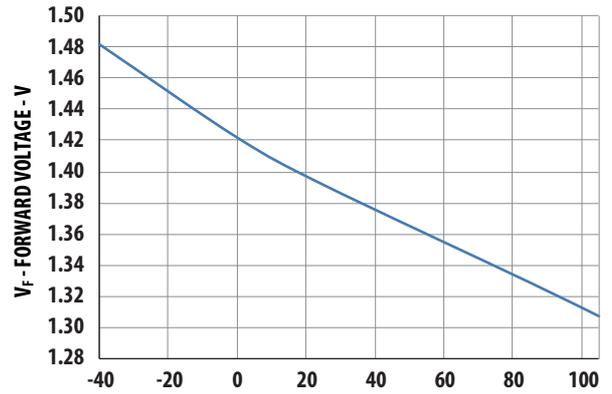


図 3 Typical Input Threshold Current I_{TH} Versus Temperature

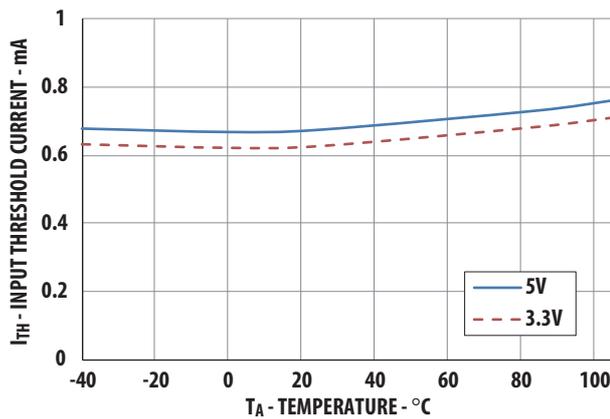


図 4 Typical Logic Low Output Supply Current I_{DDL} Versus Temperature

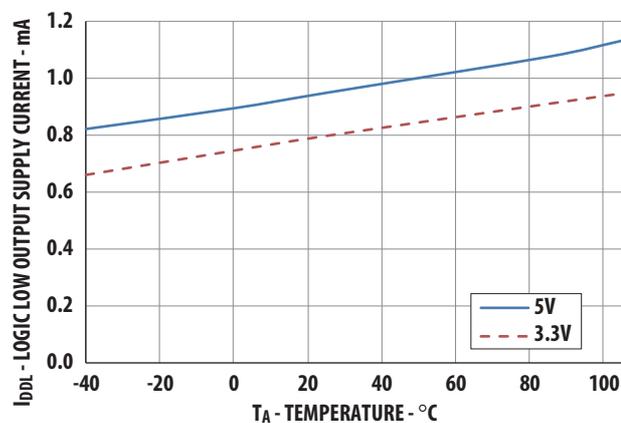


図 5 Typical Logic High Output Supply Current I_{DDH} Versus Temperature

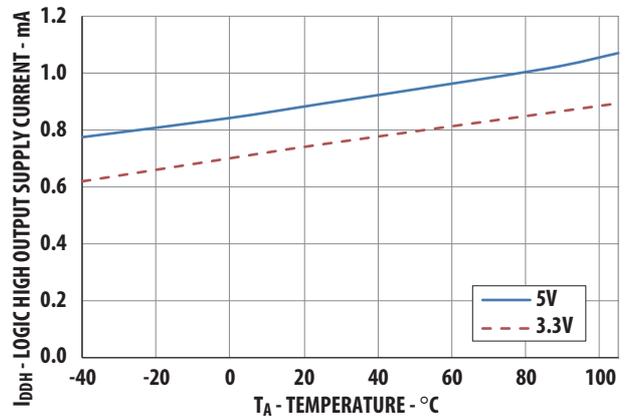


図 6 Typical Switching Speed Versus Pulse Input Current at 5V Supply Voltage

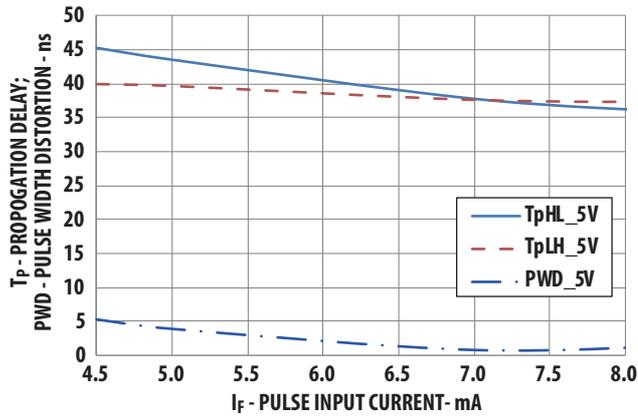


図 7 Typical Switching Speed Versus Pulse Input Current at 3.3V Supply Voltage

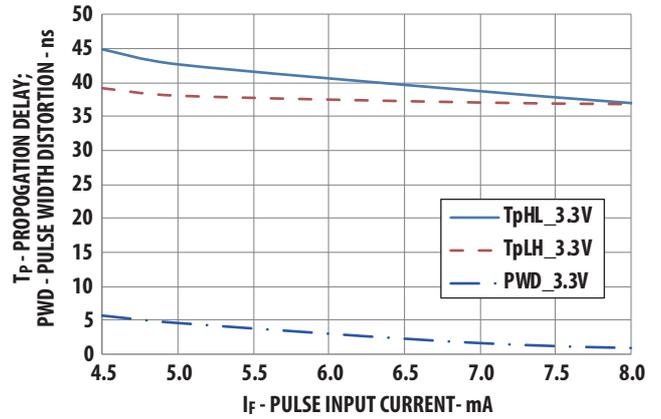


図 8 Typical Switching Speed Versus Temperature at 5V Supply Voltage

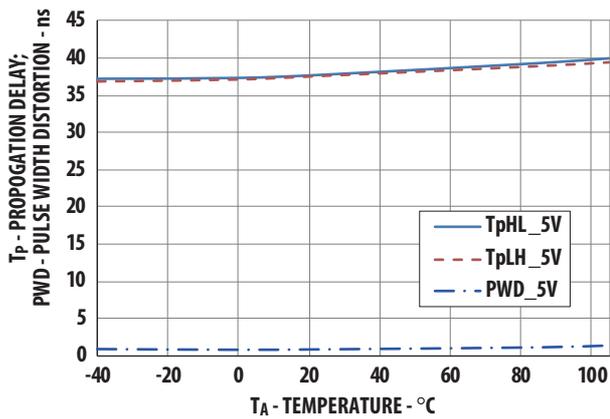
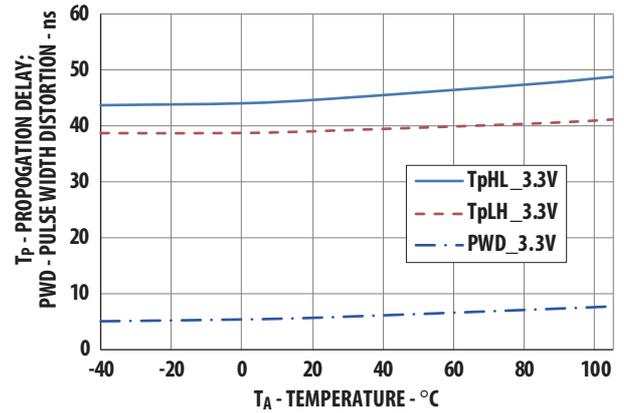


図 9 Typical Switching Speed Versus Temperature at 3.3V Supply Voltage



デカプリングおよび PC 基板レイアウト

正しく動作させるために必要な外付け部品は、入力制限抵抗および 0.1 μF の出力バイパス (デカプリング) ・コンデンサです。

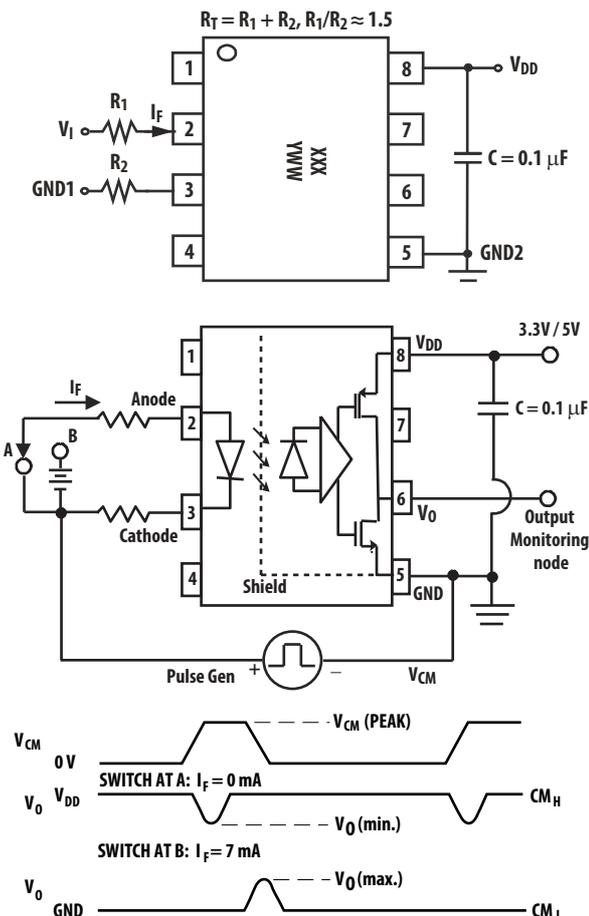
コンデンサの両端から電源ピンまでのリードの全長は 20 mm 以下にしてください。

伝達遅延時間、パルス幅歪み、伝達遅延スキュー

伝達遅延時間は、ロジック信号がシステム内を伝達する速さを示す性能指標です。Low から High への伝達遅延時間 (t_{PLH}) は、入力信号が出力に伝達され出力が Low から High へ変化するのに必要な時間です。

同様に、High から Low への伝達遅延時間 (t_{PHL}) は、入力信号が出力に伝達され出力が High から Low へ変化するのに必要な時間です (図 11)。

図 10 Recommended Printed Circuit Board Layout



パルス幅歪み (PWD) は、 t_{PLH} と t_{PHL} の値が異なる場合に生じます。PWD は t_{PLH} と t_{PHL} の差として定義されます。このパラメータは、伝送システムの最大データ・レート性能を決定します。PWD (ns 単位) を伝送される最小パルス幅 (ns 単位) で割ると、PWD をパーセント値で表すことができます。一般に、PWD は最小パルス幅の 20% ~ 30% 程度であれば許容範囲内ですが、正確な数値はアプリケーションにより異なります (RS232、RS422、T-1 など)。

伝達遅延スキュー t_{PSK} は、パラレル・データ伝送において重要なパラメータです。パラレル・データが一群のフォトカプラを介して送信される場合、伝達遅延時間に個体差があると、データがフォトカプラの出力に到達するタイミングに違いが生じます。伝達遅延時間の差がどの程度大きいかにより、フォトカプラを介してパラレル・データを送信できる最大レートが決まります。

伝達遅延スキューは、同じ条件下 (すなわち同じ電源電圧、出力負荷、および動作温度) で動作している任意の一群のフォトカプラの最小伝達遅延時間と最大伝達遅延時間 (t_{PLH} または t_{PHL} のどちらか) の差として定義されます。図 11 に示すように、一群のフォトカプラの入力が同時にオンまたはオフのどちらかに切り替わる場合、 t_{PSK} は、最短伝達遅延時間 (t_{PLH} または t_{PHL} のどちらか) と最長伝達遅延時間 (t_{PLH} または t_{PHL} のどちらか) の差になります。前述のように、 t_{PSK} によってパラレル・データの最大データ伝送レートが決まる場合があります。

図 12 は標準的なパラレル・データ・アプリケーションのタイミング図であり、クロックとデータの両方がフォトカプラを介して送信されます。図には、フォトカプラの入力および出力でのデータ信号とクロック信号が示されています。最大データ伝送速度を得るには、クロック信号の両エッジをデータのクロックとして使用します。一方のエッジしか使用しない場合、クロックの周波数を 2 倍にする必要があります。

伝達遅延スキューは、フォトカプラを介して送信された後のエッジの位置の不確かさを表します。図 12 は、データとクロックの両方に不確かさがあることを示しています。この 2 つの不確かさが重なり合わないことが重要です。そのようにしないと、すべてのデータ出力が処理される前にクロック信号が到達したり、クロック信号が到達する前にデータ出力の一部が変化し始める可能性があります。

これらを考慮すると、パラレル・データ・アプリケーションでフォトカプラを介して送信できる絶対最小パルス幅は t_{PSK} の 2 倍となります。慎重を期した設計では、これよりわずかに長いパルス幅を使用する必要があります。これは、回路の他の部分の不確かさにより問題が生じないようにするためです。

t_{PSK} の仕様が定められているフォトカブラには、推奨される温度範囲および電源電圧範囲での伝達遅延時間、パルス幅歪み、および伝達遅延スキューの仕様が保証されるという利点があります。

図 11 Propagation Delay Skew Waveform

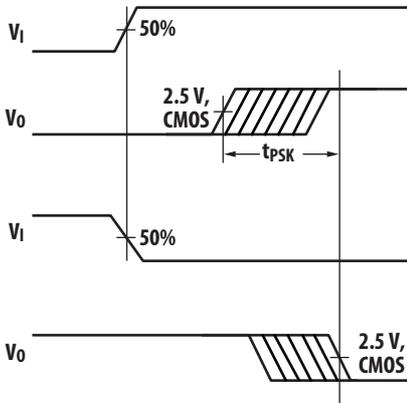
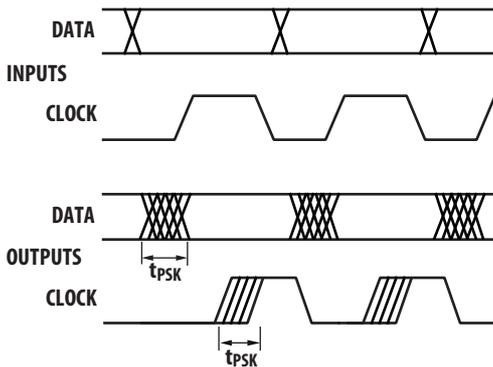


図 12 Parallel Data Transmission Example



フォトカブラの CMR 性能

同相ノイズに対する最も重要な保護となるのは、結局のところフォトカブラの基本的な絶縁特性であり、これは、フォトカブラの入出力間の静電容量に直接関連しています。

フォトカブラの入力または出力に接続された回路を最大限に保護するために、LED/ フォトダイオードのインターフェースを含め、フォトカブラ構造のすべてのポイントで大きな分離距離を確保することで、入出力間の静電容量が最小限に抑えられます。

同相ノイズの影響をさらに軽減するために重要なことは、受光段でファラデー・シールドを使用することです。このファラデー・シールドは、内部変調（光）周波数が、同相ノイズ周波数よりも何桁も高いため、フォトカブラにおいては有効です。

アプリケーション・レベルの CMR 性能

アプリケーションでは、フォトカブラの同相分離性能ができるだけデータ・シートの仕様に示された性能に近いことが求められます。

この目標を達成するための最初のステップは、フォトカブラの各側との間の PC 基板接続配線間隔を最大にすることと、フォトカブラの下に配線しないことです。それでもある一定量の CMR ノイズが入力に結合することは避けられず、結果として入力が誤ってトリガされる可能性があります。

この問題は、フォトカブラまたはその他のアイソレータの CMOS バッファ付き入力など、入力インピーダンスが高いデバイスにしばしば見られます。場合によっては、これにより瞬間的なパルス抜けが発生するだけでなく、一部のアイソレータ技術では入力回路のラッチアップが起きることもあります。

ACNT-H61L では、LED が単純なダイオード構造であるため、最終機器レベルの試験（IEC 61000-4-4 など）で経験するような非常に高い CMR レベルでも、入力側ラッチアップの問題に直面することはありません。

実際のアプリケーションにおいて、データ・シートに記載されているレベルの CMR 性能を達成できないことがあります。理由の多くは、実際にはアイソレータ入力を VDD1 または GND1 に固定するのではなく、信号が動的に変動するという、実用上のニーズがあるためです。

このような問題は、AC エンコーディング技術を利用する方式のアイソレータによく見られます。

最終アプリケーションにおいて達成可能な性能を明確化 / 透明化するために、ACNT-H61L フォトカブラの電気的パラメータ表には、ダイナミック CMR (CMRD) という特性パラメータが含まれています。この情報は、同相過渡が印加されている間に、入力がオンまたはオフにスイッチングした場合に達成可能な CMR 性能を示しています。フォトカブラのロジック出力は、主に LED 電流レベルで制御されます。LED 電流の立ち上がり / 立ち下がり時間は短いため（約 10ns）、動的なノイズ耐性は静的なノイズ耐性と実質的に同じです。

本来の最大 CMR 性能を実現するためには、アプリケーション・レベルでの LED の動作について、いくつかの点に注意する必要があります。

特に、同相過渡が印加されている間、LED が確実にオンまたはオフの状態になるようにします。

以下に一般的に用いられる設計手法を示します。

- LED をオンに保つ方法：
 - 要求される順方向電流よりも大きな電流で LED をオーバードライブします。
- LED をオフに保つ方法：
 - LED を逆バイアスしてオフにします。
 - オフ状態時の LED のアノード - カソード間インピーダンスを最小にします。

これらの方法により、ACNT-H61L の CMR 性能を最大にできますが、実装に要するコストの問題や消費電力に関して妥協する必要が生じます。

設計上の妥協をすることなく同相過渡が印加されている間、LED の状態を維持するという目標を達成する別の有効な手法があります。必要なのは、安価な部品（抵抗）を 1 個追加することだけです。

この CMR 最適化手法では、基本的に LED 入力の差動入力性能を利用します。LED のカソードとアノードの両方の同相インピーダンスを平衡にすることで、LED に対する同相過渡の影響が効果的に打ち消されます。これを最も容易に実現するには、入力のバイアス抵抗を 2 つに分割します (図 10)。

分割抵抗構成

図 13 は、同相除去性能を最適化するための ACNT-H61L の推奨駆動回路を示しています。2 個の LED 電流制御抵抗は、LED のアノードとカソードの同相インピーダンスを平衡にするために使用されます。同相過渡が LED のアノード（またはカソード）から出力側のグランドへと容量結合し、LED から電流がシャントされるか（LED がオンの場合は望ましくない）、逆に LED に電流が流れ込む（LED がオフのときには望ましくない）現象が起こる可能性があります。

図 14 は、LED のアノード / カソードと出力側グランドの間に存在する寄生容量 (C_{LA} および C_{LC}) を示しています。

表 1 は、同相過渡の極性による I_{LP} および I_{LN} の流れの方向を示しています。LED がオンのときに過渡が起きると、同相除去 (CML、出力が Low 状態) は、LED の駆動電流 (I_F) の大きさに依存します。 I_F がスイッチング閾値 (I_{TH}) に近い場合、CML は、 I_{LP} と I_{LN} が互いにどの程度平衡であるかにも依存します。言い換えると、同相過渡が瞬間的に I_F の減少を引き起こす条件（つまり $dV_{CM}/dt > 0$ かつ $|I_{LP}| > |I_{LN}|$ 、表 1 を参照）の下では、瞬間的な同相障害が発生します。

同様に、LED がオフのときに生じる同相過渡（つまり CM_H 、出力が High 状態）の場合も、 I_{LP} と I_{LN} が平衡でない場合にフォトカプラのスイッチング閾値以上の過渡電流 I_F が発生すると、過渡信号により出力に 2V を下回るスパイクが生じることがあります（このスパイクは CM_H 障害の要因となります）。

I_{LED} 制御抵抗を平衡させることで、アノードとカソードの同相電圧変化を等しくし、 C_{LA} と C_{LC} を介した過渡結合による I_{LED} の変化量を減少させるのに役立ちます。

图 13 Recommended Drive Circuit for High-CMR

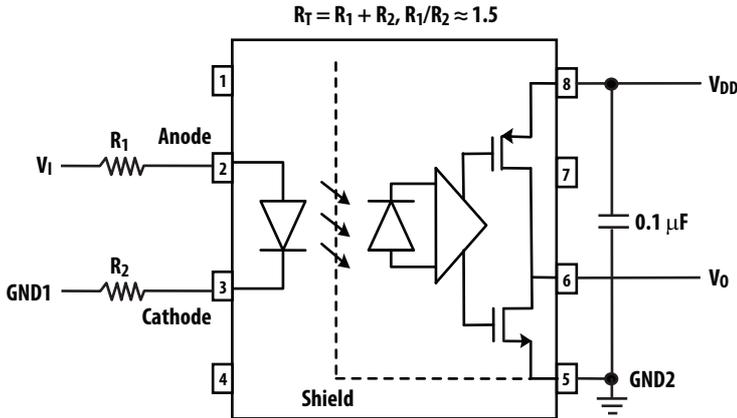


图 14 AC Equivalent of ACNT-H61L

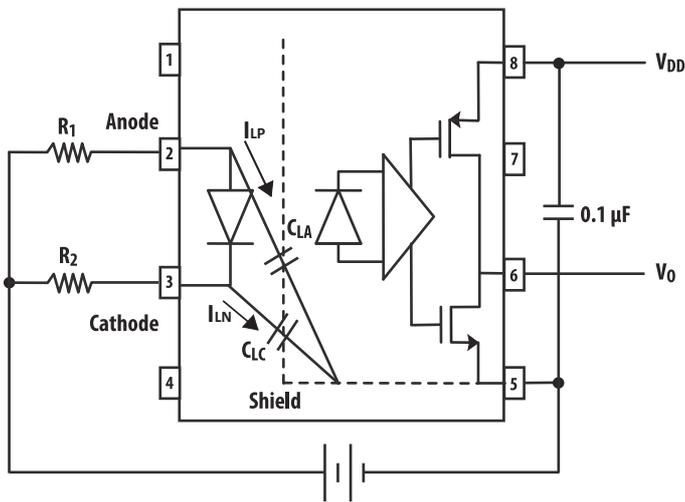


表 1 Effects of Common-Mode Pulse Direction on Transient I_{LED}

If dV_{CM}/dt Is:	Then I_{LP} Flows:	And I_{LN} Flows:	If $ I_{LP} < I_{LN} $, LED I_F Current Is Momentarily:	If $ I_{LP} > I_{LN} $, LED I_F Current Is Momentarily:
Positive (>0)	Away from LED anode through C_{LA}	Away from LED cathode through C_{LC}	Increased	Decreased
Negative (<0)	Toward LED anode through C_{LA}	Toward LED cathode through C_{LC}	Decreased	Increased

製品情報と販売代理店リストは、弊社ウェブサイトをご覧ください。
www.broadcom.com

Broadcom、パルス・ロゴ、Connecting everything、Avago Technologies、Avago、および A ロゴは、アメリカ合衆国、他の国々および / または EU における Broadcom および / または関連会社の商標です。

Copyright © 2016 Broadcom. All Rights Reserved.

用語「Broadcom」は、Broadcom Limited. および / またはその子会社を指します。詳細は、www.broadcom.com をご覧ください。

Broadcom は、信頼性、機能または設計を改善するために、本書の製品またはデータを通知なしに変更する権利を留保します。

Broadcom によって提供される情報の正確さと信頼性には細心の注意を払っています。しかしながら、Broadcom は、この情報の適用または使用、あるいは本書に記載された製品または回路の適用または使用から生じるいかなる責任も負わず、特許権や他の権利によるいかなるライセンスも譲渡しません。

AV02-4677JP - 2016 年 10 月 7 日

