

## Data Sheet

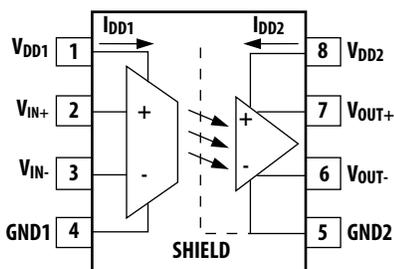
### 概要

ACPL-C79B/C79A/C790アイソレーション・アンプは、モータ駆動と再生可能エネルギー・システムを含むアプリケーションにおける静止電力変換装置内の電流および電圧検出用に設計されたものです。代表的なモータ駆動回路では、シャント抵抗に電流が流れ、それにより生じるアナログ電圧降下をアイソレーション・アンプが検出します。電流に比例する差動電圧が、絶縁障壁を介して出力されます。

一般用途では、ACPL-C79A(ゲイン誤差±1%)とACPL-C790(ゲイン誤差±3%)を推奨します。高精度用途には、ACPL-C79B(ゲイン誤差±0.5%)を使用することができます。この製品は、単一5V電源から動作し、優れた線形性とSNR 60dB動的性能を提供します。帯域幅200kHzで高速応答1.6  $\mu$ sで、短絡状態と過負荷状態を高速に検出することが可能です。ACPL-C79B/C79A/C790の高い同相過渡除去特性(15kV/ $\mu$ s)は、高いノイズが発生するモータ制御環境でモータ電流を高精度で監視するのに必要な精度と安定性を提供し、様々なタイプのモータ制御を滑らかにします(「トルクリプル」が減少します)。

ACPL-C79B/C79A/C790は、優れた光結合技術との組み合わせで、シグマデルタ( $\Sigma$ - $\Delta$ )アナログ-デジタル変換器、チョップ安定化アンプ、および完全差動回路構成を採用しており、卓越したアイソレーション・モード・ノイズ除去、低オフセット、高ゲイン精度および安定性を提供します。またこの性能は、海外安全規格に対応した小型ストレッチSO-8(SSO-8)パッケージで提供されます。

### 内部ブロック図



注意: ピン1とピン4、ピン5とピン8間に0.1 $\mu$ Fのバイパスコンデンサを挿入してください。

図1

### 特長

- 高ゲイン精度(ACPL-C79B):  $\pm 0.5\%$
- 低ゲイン・ドリフト:  $-50 \text{ ppm}/^\circ\text{C}$
- 入力オフセット電圧: 0.6mV
- 非線形性: 0.05%
- SNR 60 dB
- 広帯域幅: 200 kHz
- 広い出力側供給範囲: 3V~5.5V
- 動作温度範囲:  $-40^\circ\text{C} \sim +105^\circ\text{C}$
- 高度なシグマデルタ( $\Sigma$ - $\Delta$ )A/Dコンバータ技術
- 完全差動アンプ
- 同相過渡除去性能: 15 kV/ $\mu$ s
- 小型ストレッチSO-8/パッケージ
- 海外安全規格対応:
  - IEC/EN/DIN EN 60747-5-5:最大動作絶縁電圧1414 Vpeak
  - UL 1577: 5000 Vrms/1分 二重絶縁
  - CSA : Component Acceptance Notice #5

### 応用

- ACおよびサーボモータ駆動における電流/電圧検出
- ソーラー・インバータ、風力タービン・インバータ
- 産業プロセス制御
- データ収集システム
- スイッチング電源信号分離
- 汎用アナログ信号分離
- 従来の電流変換器の置き換え

注意: この製品を取り扱う際は、静電気放電による損傷や劣化を防ぐため、一般的な静電気対策をとってください。

## 端子の説明

端子番号	記号	説明
1	V <sub>DD1</sub>	GND1基準の入力側の電源電圧(4.5V~5.5V)
2	V <sub>IN+</sub>	正入力(推奨±200mV)
3	V <sub>IN-</sub>	負入力(通常はGND1に接続)
4	GND1	入力側グランド
5	GND2	出力側グランド
6	V <sub>OUT-</sub>	負出力
7	V <sub>OUT+</sub>	正出力
8	V <sub>DD2</sub>	GND2基準の出力側の電源電圧(3V~5.5V)

## オーダー情報

ACPL-C79B/C79A/C790は、UL 1577による絶縁電圧定格5000Vrms 1分間の認証を取得済み。

型名	オプション (RoHS 指令準拠)	パッケージ	表面実装	テープ&リール	IEC/EN/DIN EN 60747-5-5	梱包単位
ACPL-C79B	-000E	ストレッチ	○		○	80個/チューブ
ACPL-C79A						
ACPL-C790	-500E	SO-8	○	○	○	1000個/リール

ご注文の際は、型名欄から選択した製品型名とオプション欄のご希望のオプションとを組み合わせで発注してください。

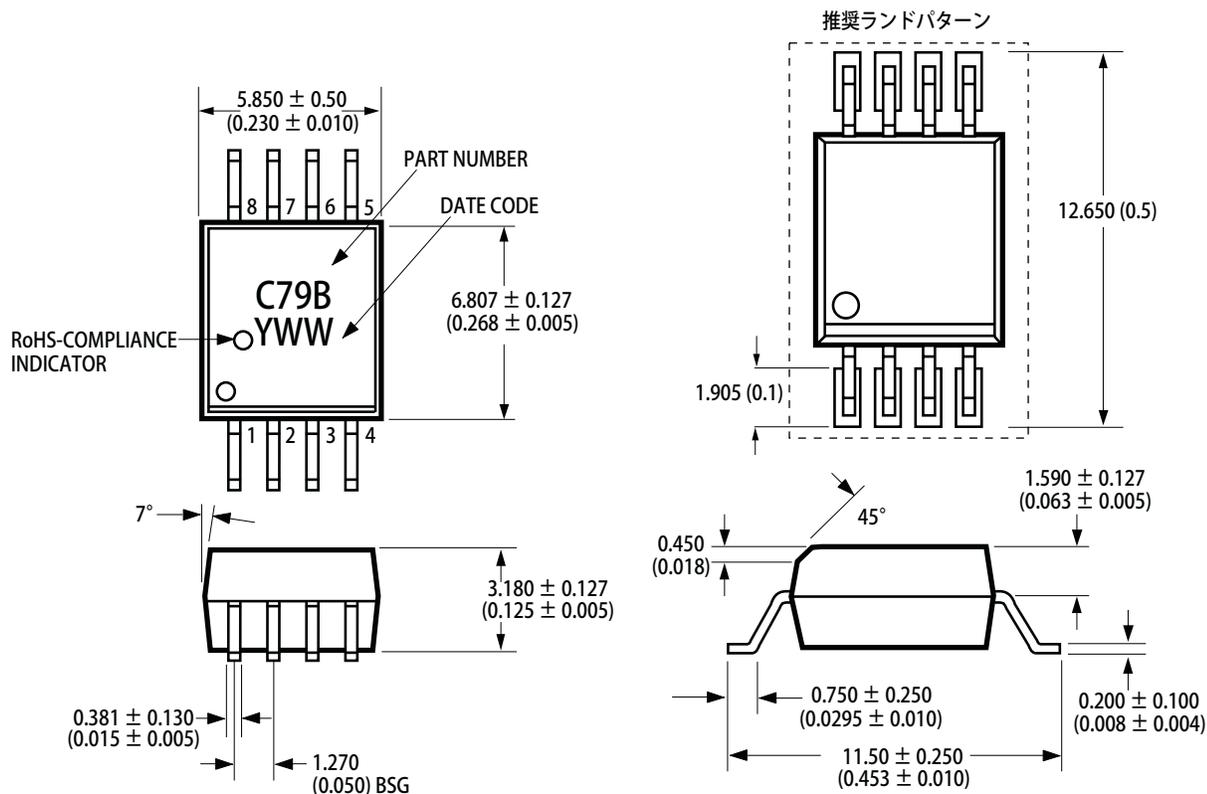
例:

ACPL-C79B-500Eは、IEC/EN/DIN EN 60747-5-5安全規格対応、RoHS指令準拠、テープ&リール梱包の表面実装パッケージです。

オプションのデータシートをご用意しています。梱包形態等の詳細は、アバゴ・テクノロジーの正規販売代理店までお問い合わせください。

## パッケージ外形図

### ストレッチSO-8パッケージ(SSO-8)



寸法はmmとinchです。  
最大リード平坦度=0.1mm(0.004 inch)。

## 推奨鉛フリーIRプロファイル

JEDEC規格J-STD-020(最新版)に準拠したリフロー条件を推奨。非ハロゲン化物系フラックスを使用してください。

## 安全規格

ACPL-C79B/C79A/C790は以下の認証機構による承認を受けています。

IEC/EN/DIN EN 60747-5-5

CSA

最大動作絶縁電圧:  $V_{IORM}=1230V_{peak}$

CSA部品承認通達#5ファイルCA88324

UL

UL 1577部品承認プログラムで承認

$V_{ISO} = 5000 V_{rms}$ .

最大VISO=5000 Vrms。ファイルE55361

## 絶縁と安全性に関連する仕様

Parameter	Symbol	Value	Units	Conditions
Minimum External Air Gap (External Clearance)	L(101)	8.0	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (External Creepage)	L(102)	8.0	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Plastic Gap (Internal Clearance)		0.5	mm	Through insulation distance, conductor to conductor, usually the direct distance between the photoemitter and photo- detector inside the optocoupler cavity
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

## IEC/EN/DIN EN 60747-5-5絶縁特性(オプション060)<sup>[1]</sup>

Description	Symbol	Value	Units
Installation classification per DIN VDE 0110/1.89, Table 1 for rated mains voltage $\leq 150$ Vrms for rated mains voltage $\leq 300$ Vrms for rated mains voltage $\leq 450$ V rms for rated mains voltage $\leq 600$ Vrms for rated mains voltage $\leq 1000$ Vrms		I-IV I-IV I-III I-III I-II	
Climatic Classification		55/105/21	
Pollution Degree (DIN VDE 0110/1.89)		2	
Maximum Working Insulation Voltage	$V_{IORM}$	1414	V <sub>peak</sub>
Input to Output Test Voltage, Method b <sup>[2]</sup> $V_{IORM} \times 1.875 = V_{PR}$ , 100% Production Test with $t_m = 1$ sec, Partial Discharge $< 5$ pC	$V_{PR}$	2306	V <sub>peak</sub>
Input to Output Test Voltage, Method a <sup>[2]</sup> $V_{IORM} \times 1.6 = V_{PR}$ , Type and Sample Test, $t_m = 10$ sec, Partial Discharge $< 5$ pC	$V_{PR}$	1968	V <sub>peak</sub>
Highest Allowable Overvoltage (Transient Overvoltage, $t_{ini} = 60$ sec)	$V_{IOTM}$	8000	V <sub>peak</sub>
Safety-limiting values (Maximum values allowed in the event of a failure)			
Case Temperature	$T_S$	175	°C
Input Current <sup>[3]</sup>	$I_{S,INPUT}$	230	mA
Output Power <sup>[3]</sup>	$P_{S,OUTPUT}$	600	mW
Insulation Resistance at $T_S$ , $V_{IO} = 500$ V	$R_S$	$\geq 10^9$	$\Omega$

注:

- 絶縁特性は、安全最大定格の範囲内でのみ保証され、これは用途での保護回路によって保証されなければなりません。
- 安全性限定パラメータは、周囲温度に依存します。入力電流 $I_{S,INPUT}$ は、25°C以上のフリーエア環境で2.53mA/°Cの割合で減じ、出力電力 $P_{S,OUTPUT}$ は、25°C以上のフリーエア環境で4 mW/°Cの割合で減じてください。

## 絶対最大定格

Parameter	Symbol	Min.	Max.	Units
Storage Temperature	$T_S$	-55	+125	°C
Ambient Operating Temperature	$T_A$	-40	+105	°C
Supply Voltages	$V_{DD1}, V_{DD2}$	-0.5	6.0	V
Steady-State Input Voltage <sup>[1,3]</sup>	$V_{IN+}, V_{IN-}$	-2	$V_{DD1} + 0.5$	V
Two Second Transient Input Voltage <sup>[2]</sup>	$V_{IN+}, V_{IN-}$	-6	$V_{DD1} + 0.5$	V
Output Voltages	$V_{OUT+}, V_{OUT-}$	-0.5	$V_{DD2} + 0.5$	V
Lead Solder Temperature	260°C for 10 sec., 1.6 mm below seating plane			

注:

1. 入力のDC電圧が-2Vまでデバイスのラッチアップや破損が起きません。標準動作条件で試験済み。
2. 入力の2秒の過渡電圧が-6Vまでデバイスのラッチアップや破損が起きません。標準動作条件で試験済み。
3. 入力の絶対最大DC電流が100mAのときラッチアップや破損が起きません。

## 推奨動作条件

Parameter	Symbol	Min.	Max.	Units
Ambient Operating Temperature	$T_A$	-40	+105	°C
$V_{DD1}$ Supply Voltage	$V_{DD1}$	4.5	5.5	V
$V_{DD2}$ Supply Voltage	$V_{DD2}$	3	5.5	V
Input Voltage Range <sup>[1]</sup>	$V_{IN+}, V_{IN-}$	-200	+200	mV

注:

1. 公称入力範囲は±200 mVです。最大入力範囲(FSR)は±300 mVです。機能入力範囲は±2 Vです。

## 電気特性仕様

Unless otherwise noted,  $T_A = -40^{\circ}\text{C}$  to  $+105^{\circ}\text{C}$ ,  $V_{DD1} = 4.5\text{ V}$  to  $5.5\text{ V}$ ,  $V_{DD2} = 3\text{ V}$  to  $5.5\text{ V}$ ,  $V_{IN+} = -200\text{ mV}$  to  $+200\text{ mV}$ , and  $V_{IN-} = 0\text{ V}$  (single-ended connection).

Parameter	Symbol	Min.	Typ. <sup>[1]</sup>	Max.	Unit	Test Conditions/Notes	Fig.
<b>DC CHARACTERISTICS</b>							
Input Offset Voltage	$V_{OS}$	-1	0.6	2	mV	$T_A = 25^{\circ}\text{C}$	3, 4
Magnitude of Input Offset Change vs. Temperature	$ dV_{OS}/dT_A $		3	10	$\mu\text{V}/^{\circ}\text{C}$	$T_A = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$ ; absolute value	5
Gain (ACPL-C79B, $\pm 0.5\%$ )	G0	8.16	8.2	8.24	V/V	$T_A = 25^{\circ}\text{C}$ ; Note 2	6, 7
Gain (ACPL-C79A, $\pm 1\%$ )	G1	8.12	8.2	8.28	V/V	$T_A = 25^{\circ}\text{C}$ ; Note 2	6, 7
Gain (ACPL-C790, $\pm 3\%$ )	G3	7.95	8.2	8.44	V/V	$T_A = 25^{\circ}\text{C}$ ; Note 2	6, 7
Magnitude of Gain Change vs. Temperature	$dG/dT_A$		-0.00041		$\text{V}/\text{V}/^{\circ}\text{C}$	$T_A = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$ ; Note 3	8
Nonlinearity over $\pm 200\text{ mV}$ Input Voltage	$NL_{200}$		0.05	0.13	%	$V_{IN+} = -200\text{ mV}$ to $+200\text{ mV}$ , $T_A = 25^{\circ}\text{C}$ ; Note 2	9, 10
Magnitude of $NL_{200}$ Change vs. Temperature	$dNL_{200}/dT_A$		0.0003		$\%/^{\circ}\text{C}$	$T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	11
			0.004		$\%/^{\circ}\text{C}$	$T_A = +85^{\circ}\text{C}$ to $+105^{\circ}\text{C}$	11
Nonlinearity over $\pm 100\text{ mV}$ Input Voltage	$NL_{100}$		0.02	0.06	%	$V_{IN+} = -100\text{ mV}$ to $+100\text{ mV}$ , $T_A = 25^{\circ}\text{C}$ ; Note 2	9, 10, 11
<b>INPUTS AND OUTPUTS</b>							
Full-Scale Differential Voltage Input Range	FSR		$\pm 300$		mV	$V_{IN} = V_{IN+} - V_{IN-}$ ; Note 4	12
Input Bias Current	$I_{IN+}$	-1	-0.1		$\mu\text{A}$	$V_{IN+} = 0\text{ V}$ , $V_{IN-} = 0\text{ V}$ ; Note 5	13
Magnitude of $I_{IN+}$ Change vs. Temperature	$dI_{IN+}/dT_A$		-0.05		$\text{nA}/^{\circ}\text{C}$		
Equivalent Input Impedance	$R_{IN}$		22		$\text{k}\Omega$	$V_{IN+}$ or $V_{IN-}$ , single-ended	14
Output Common-Mode Voltage	$V_{OCM}$		1.23		V	$V_{OUT+}$ or $V_{OUT-}$ ; Note 6	
Output Voltage Range	OVR		0 to 2.5		V	$V_{OUT+}$ or $V_{OUT-}$ ; Note 4	12
Output Short-Circuit Current	$ I_{osc} $		11		mA	$V_{OUT+}$ or $V_{OUT-}$ , shorted to GND2 or $V_{DD2}$	
Output Resistance	$R_{OUT}$		21		$\Omega$	$V_{OUT+}$ or $V_{OUT-}$	
Input DC Common-Mode Rejection Ratio	$CMRR_{IN}$		76		dB	Note 2	
<b>AC CHARACTERISTICS</b>							
Signal-to-Noise Ratio	SNR		60		dB	$V_{IN+} = 300\text{ mVpp}$ 10 kHz sine wave; Note 7	15, 16
Signal-to-(Noise + Distortion) Ratio	SNDR		56		dB	$V_{IN+} = 300\text{ mVpp}$ 10 kHz sine wave; Note 8	15, 16
Small-Signal Bandwidth (-3 dB)	$f_{-3\text{ dB}}$	140	200		kHz		17, 18
Input to Output Propagation Delay	10%-10%	$t_{PD10}$	1.6	2.3	$\mu\text{s}$	200 mV/ $\mu\text{s}$ step input	19
	50%-50%	$t_{PD50}$	2	2.6	$\mu\text{s}$	200 mV/ $\mu\text{s}$ step input	19
	90%-90%	$t_{PD90}$	2.6	3.3	$\mu\text{s}$	200 mV/ $\mu\text{s}$ step input	19
Output Rise/Fall Time (10%-90%)	$t_{R/F}$		1.7		$\mu\text{s}$	Step input	19
Common Mode Transient Immunity	CMTI	10	15		$\text{kV}/\mu\text{s}$	$V_{CM} = 1\text{ kV}$ , $T_A = 25^{\circ}\text{C}$ ; Note 2	
Power Supply Rejection	PSR		-78		dB	1 Vpp 1 kHz sine wave ripple on $V_{DD1}$ , differential output; Note 9	
<b>POWER SUPPLIES</b>							
Input Side Supply Current	$I_{DD1}$		13	18.5	mA	$V_{IN+} = 400\text{ mV}$ ; see Note 10	20
Output Side Supply Current	$I_{DD2}$		7	12	mA	5 V supply	20
			6.8	11	mA	3.3 V supply	20

注:

1. 標準値はすべて、 $T_A=25^{\circ}\text{C}$ 、 $V_{DD1}=5\text{V}$ 、 $V_{DD2}=3.3\text{V}$ の標準動作条件下でのものです。
2. 定義の節を参照してください。
3. ゲイン温度ドリフトは、 $-50\text{ ppm}/^{\circ}\text{C}$ のゲインの温度係数(TCG)として標準化して表すことができます。
4. FSRを超えると出力が飽和します。
5. 入力シグマデルタ・コンバータのスイッチ・キャパシタの性質によって時間平均値が示されます。
6. 標準動作条件下で、部品間のばらつきは $\pm 0.04\text{ V}$ です。
7. 標準動作条件下で、部品間のばらつきは $\pm 1\text{ dB}$ です。
8. 標準動作条件下で、部品間のばらつきは $\pm 1\text{ dB}$ です。
9.  $0.1\ \mu\text{F}$ のバイパス・コンデンサが接続された状態で $V_{DD1}$ に印加されるリップル電圧。リップル出力の差動振幅を測定します。定義の節を参照してください。
10. 入力供給電流は、差動入力電圧( $V_{IN+} - V_{IN-}$ )が低下するほど減少します。

## パッケージ特性

Parameter	Symbol	Min.	Typ.	Max.	Unit	Test Condition	Note
Input-Output Momentary Withstand Voltage	$V_{ISO}$	5000			Vrms	$RH < 50\%$ , $t = 1\text{ min.}$ , $T_A = 25^{\circ}\text{C}$	1, 2
Resistance (Input-Output)	$R_{I-O}$		$>10^{12}$		$\Omega$	$V_{I-O} = 500\text{ V}_{DC}$	3
Capacitance (Input-Output)	$C_{I-O}$		0.5		pF	$f = 1\text{ MHz}$	3

注:

1. UL 1577により、各フォトカプラは、 $6000\text{ Vrms}$ 以上の絶縁試験電圧を1秒間(漏検出電流制限  $I_{I-O} \leq 5\ \mu\text{A}$ )印加することにより保証試験されます。この試験は、IEC/EN/DIN EN 60747-5絶縁特性表に示された部分放電(メソッドb)の全数生産試験前に行なわれます。
2. 入出力瞬間耐電圧は、絶縁電圧定格であり、入出力連続電圧定格として解釈されるべきではありません。連続電圧定格の詳細は、IEC/EN/DIN EN 60747-5-5絶縁特性表と使用機器のレベル安全仕様書を参照してください。
3. 端子1~4が短絡され端子5~8が短絡された2端子測定です。

## Typical Performance Plots

Unless otherwise noted,  $T_A = 25^\circ\text{C}$ ,  $V_{DD1} = 5\text{ V}$ ,  $V_{DD2} = 3.3\text{ V}$ .

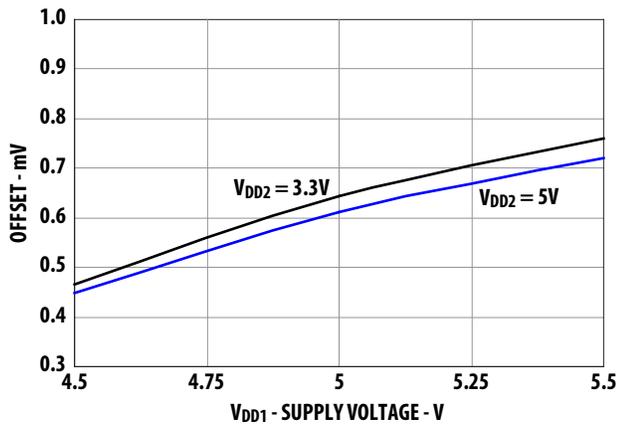


Figure 3. Input offset vs. supply  $V_{DD1}$ .

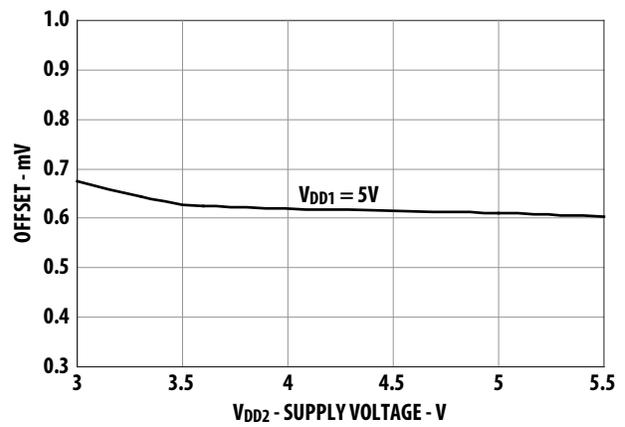


Figure 4. Input offset vs. supply  $V_{DD2}$ .

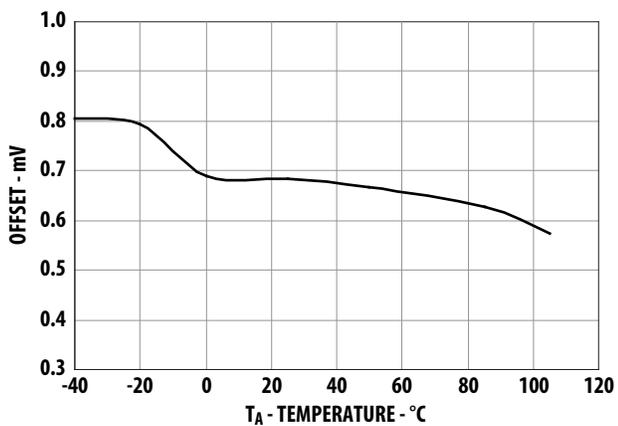


Figure 5. Input offset vs. temperature.

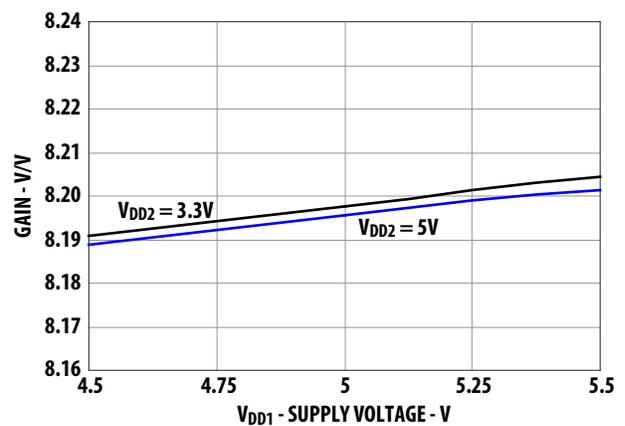


Figure 6. Gain vs. supply  $V_{DD1}$ .

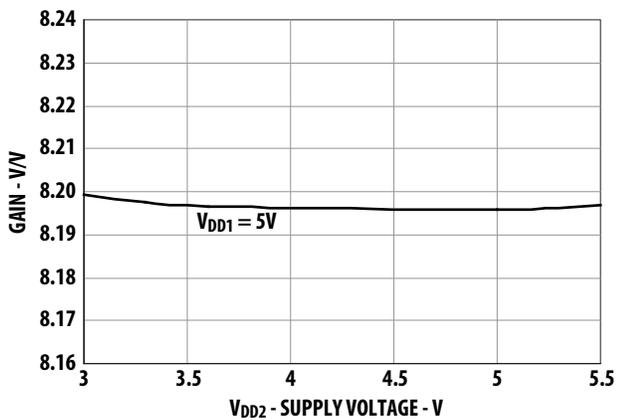


Figure 7. Gain vs. supply  $V_{DD2}$ .

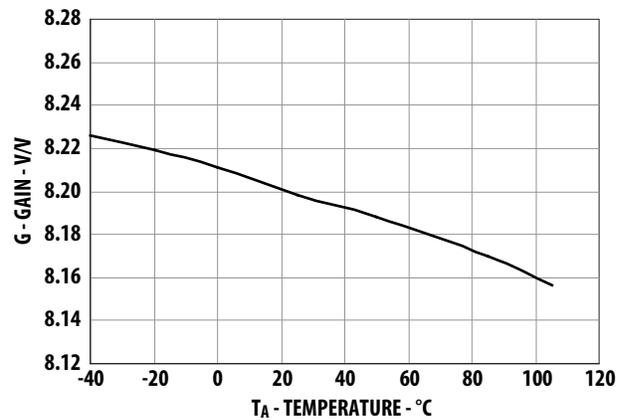


Figure 8. Gain vs. temperature.

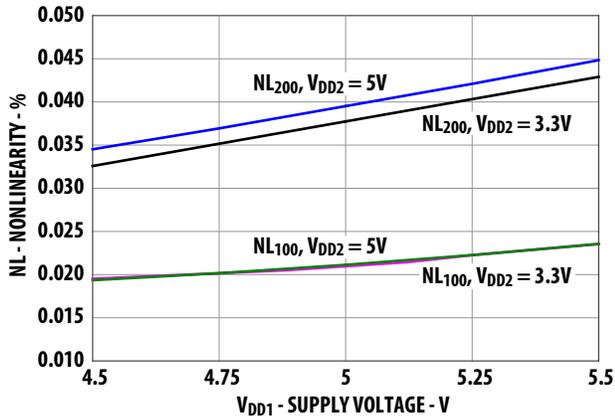


Figure 9. Nonlinearity vs. supply  $V_{DD1}$ .

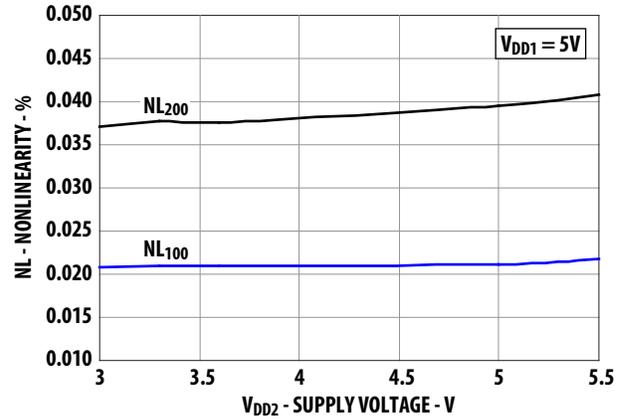


Figure 10. Nonlinearity vs. supply  $V_{DD2}$ .

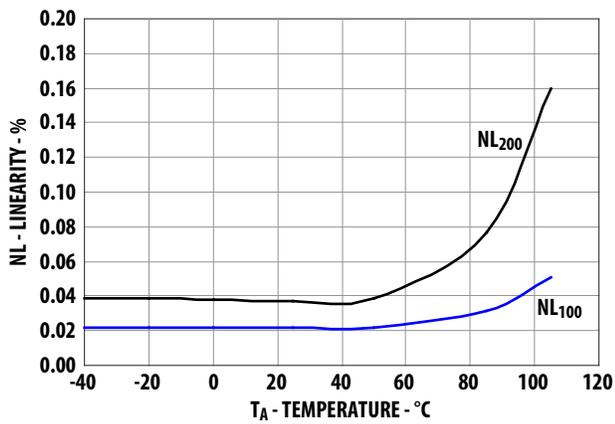


Figure 11. Nonlinearity vs. temperature.

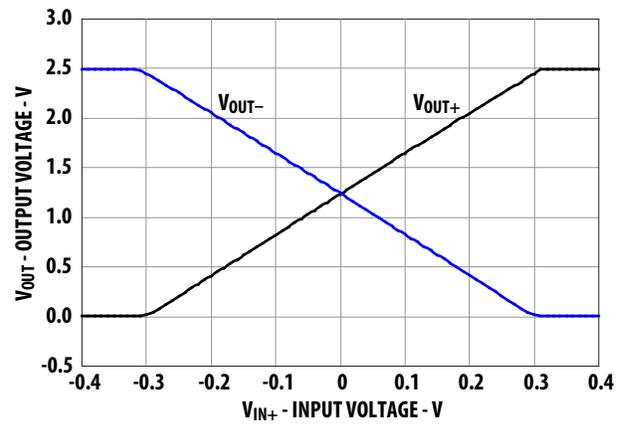


Figure 12. Output voltage vs. input voltage.

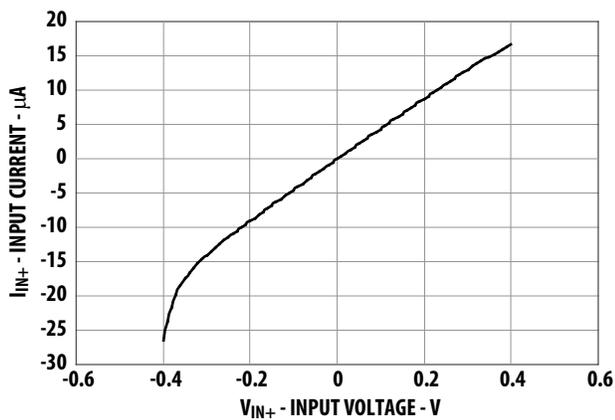


Figure 13. Input current vs. input voltage.

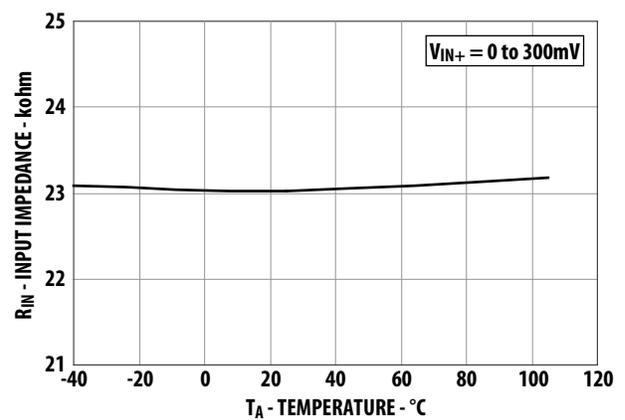


Figure 14. Input impedance vs. temperature.

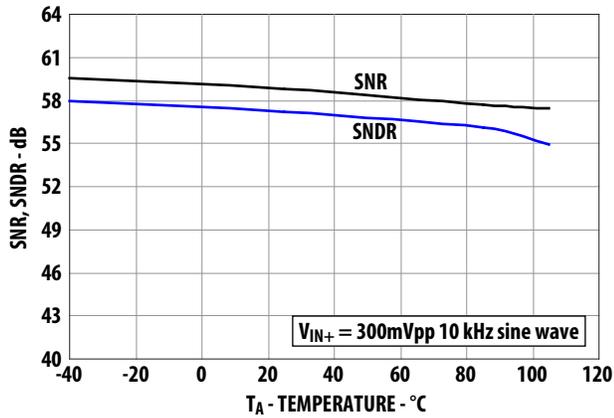


Figure 15. SNR, SNDR vs. temperature.

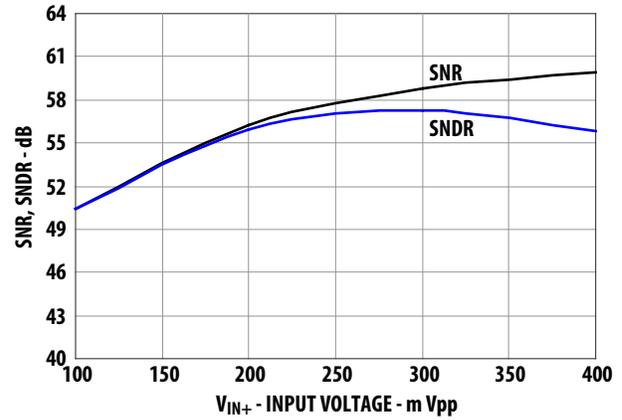


Figure 16. SNR, SNDR vs. input voltage.

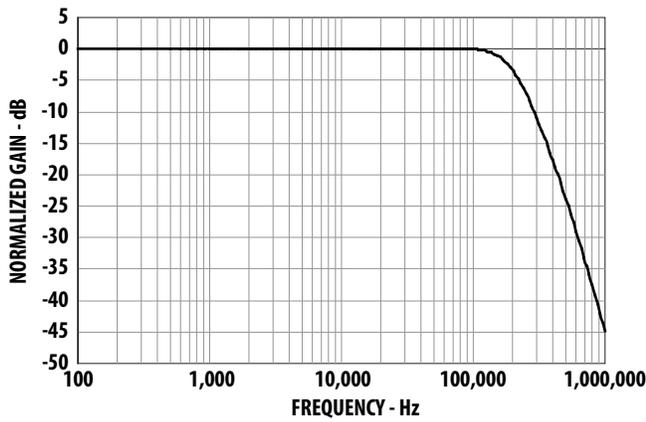


Figure 17. Gain frequency response.

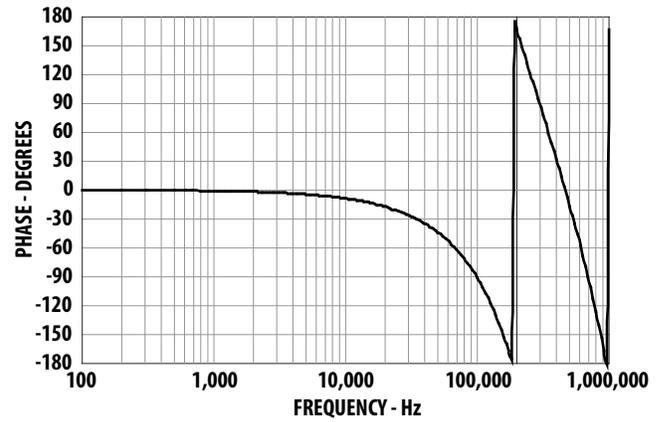


Figure 18. Phase frequency response.

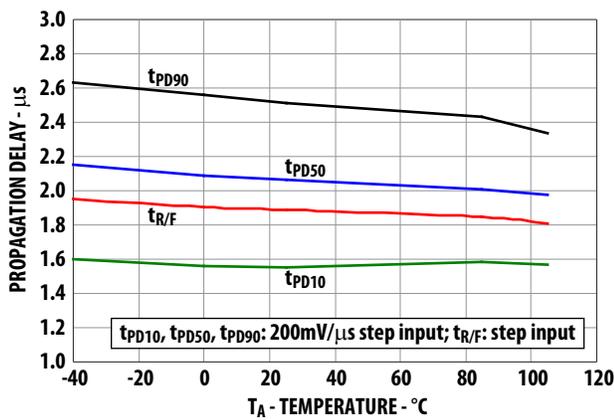


Figure 19. Propagation delay, output rise/fall time vs. temperature.

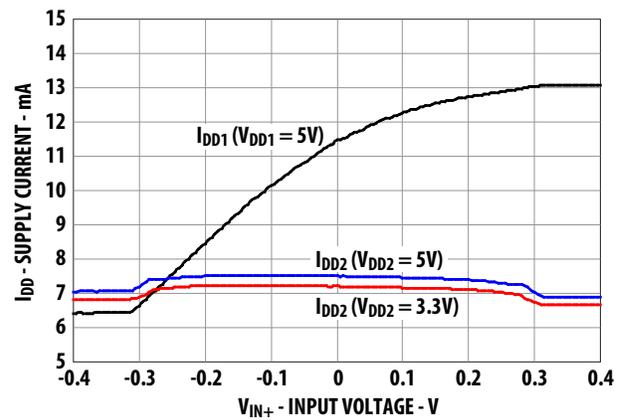


Figure 20. Supply current vs. input voltage.

## 定義

### ゲイン

ゲインは、オフセット誤差が調整された公称入力範囲で差動出力電圧( $V_{OUT+}-V_{OUT-}$ )と差動入力電圧( $V_{IN+}-V_{IN-}$ )のベスト・フィット直線の勾配として定義されます。

### 非線形性

非線形性は、最良適合ゲイン線からのピーク・トゥ・ピーク出力偏差の半分として定義され、フルスケール差動出力電圧の割合として表されます。

### 入力DC同相除去比, $CMRR_{IN}$

$CMRR_{IN}$ は、入力側同相ゲイン(入力端子を接続し、端子GND1に対して両方の入力に信号が印加される場合)に対する差動信号ゲイン(端子 $V_{OUT+}$ と $V_{OUT-}$ 間に信号が差動印加される場合)の比率として定義され、dBで表されます。

### 同相過渡除去性能, CMTI(同相除去特性としても知られる)

CMTIは、端子5(GND2)に対して端子4(GND1)に指数関数的に増加/減少する電圧ステップを印加することにより試験されます。試験波形の立ち上がり時間は、約50n秒に設定されます。ステップの大きさは、差動出力( $V_{OUT+}-V_{OUT-}$ )が、平均出力電圧から200mV以上の偏差を $1\mu s$ 以上示すように調整されます。ACPL-C79B/C79A/C790は、 $10kV/\mu s$ を超える同相傾斜が適用された場合、降伏電圧制限が守られる限り機能し続けます。

### 電源電圧変動除去、PSR

PSRは、入力に対する電源リップル電圧を越えるリップル出力の差動振幅の比率で、dBで表されます。

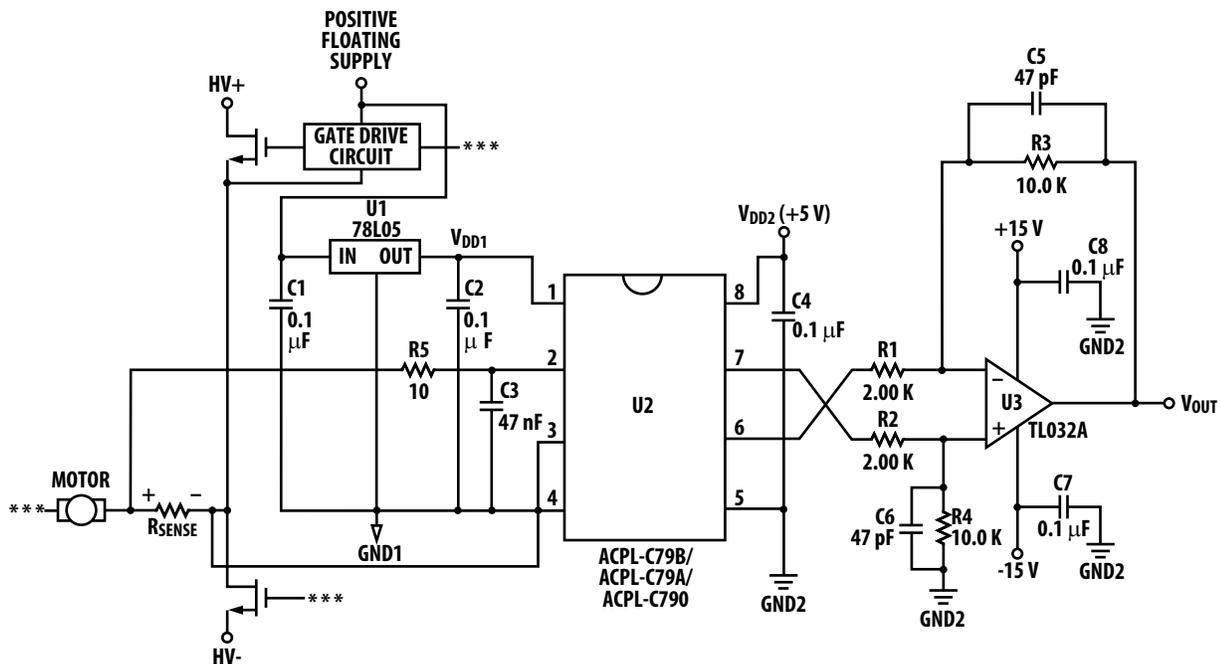


図21. モータ相電流検出用の代表的応用回路

## アプリケーション情報

### 応用回路

図21に、代表的な応用回路を示します。フローティング電源(多くの用途では、ハイサイドのパワートランジスタの駆動に使用されるものと同じ電源)は、単純な三端子電圧レギュレータ(U1)を使用して5Vに調整されます。電流検出抵抗、すなわちシャント(RSENSE)からの電圧は、RCアンチエイリアス・フィルタ(R5とC3)を介してACPL-C79B/C79A/C790の入力に印加されます。最後に、アイソレーション・アンプの差動出力が、差動アンプ回路(U3および関連部品)によってグランド基準シングルエンド出力電圧に変換されます。応用回路は比較的単純ですが、性能の最適化するために、いくつかの推奨事項に従ってください。

### 電源とバイパス

前述のように、安価な78L05三端子レギュレータを用いてゲート駆動電源電圧を5Vに降圧させることができます。高周波電源のノイズまたはリップルを取り除くために、抵抗またはインダクタをレギュレータの入力と直列に使用して、レギュレータの入力バイパス・コンデンサと共に低域フィルタを構成することができます。

ACPL-C79B/C79A/C790の電源は、ほとんどの場合、パワートランジスタのゲート駆動回路への電力供給に使用されるものと同じ電源から供給されます。専用電源が必要な場合は、既存の変圧器に追加の巻線を追加する事が可能です。また、変圧器や高周波DC-DCコンバータなどの単純なタイプの分離電源を使用することも可能です。

安価な78L05 3端子レギュレータを用いてフローティング電源を5Vに降圧することができます。高周波電源のノイズまたはリップルをとり除くために、抵抗またはインダクタをレギュレータの入力と直列に接続して、レギュレータの入力バイパス・コンデンサと共にローパス・フィルタを構成することができます。

図21に示すように、ACPL-C79B/C79A/C790の端子のできるだけ近くに0.1 $\mu$ Fバイパス・コンデンサ(C1,C2)を接続してください。このバイパス・コンデンサは、ACPL-C79B/C79A/C790内部に高速デジタル動作するために必要です。また、入力回路のスイッチ・キャパシタ動作のために、入力に47nFのバイパス・コンデンサ(C3)を設置することを推奨します。この入力バイパス・コンデンサは、アンチエイリアシング・フィルタの一部を構成し、高周波ノイズの低周波数でのエイリアシングと入力信号との干渉を防ぐために推奨します。また、入力フィルタは、重要な信頼性機能を提供し、電流検出抵抗に流れるESDによる過電圧スパイクを減少させます。

### 基板のレイアウト

プリント回路基板(PCB)の設計では、バイパス・コンデンサを電源端子の近くで接続し、出力信号を入力信号から離し、グランド・プレーンと電源プレーンを使用するなど、優れたレイアウトの定石にしたがってください。さらに、PCBのレイアウトは、主に入力回路と出力回路の漂遊容量結合によって、ACPL-C79B/C79A/C790のアイソレーション過渡除去(CMTI)性能に影響を及ぼすことがあります。最適なCMTI性能を得るために、回路の入力側と出力側の距離をできるだけ最大にし、またPCボード上のグランド・プレーンまたは電源プレーンがACPL-C79B/C79A/C790本体の真下を通ったりそれより幅広にならないPCボード・レイアウトによって、漂遊結合を最小化してください。

図22にPCBレイアウトの一例を示します。

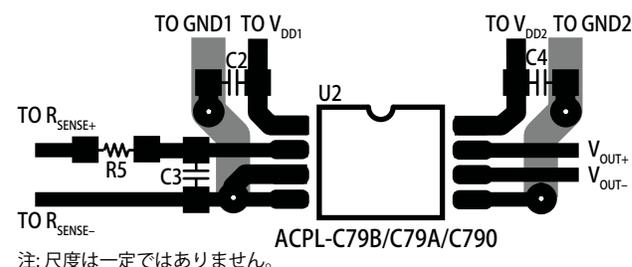


図22. プリント回路基板(PCB)レイアウトの例

## 電流検出抵抗

電流検出抵抗は、抵抗が小さく(ワット損を最小にする)、インダクタンスが小さく(動作に悪影響を及ぼすdi/dt誘導電圧スパイクを最小にする)適切な誤差精度(回路全体精度を高める)でなければなりません。特定の抵抗値を選択するには、通常、ワット損の最小化と精度の最大化との折り返しが必要です。ACPL-C79B/C79A/C790の最大入力範囲を利用することにより、検出抵抗が小さいほどワット損が少なく、検出抵抗が大きくなるほど回路精度が改善されます。

検出抵抗を選択する最初のステップは、抵抗で検出する電流の量を決定することです。図23のグラフは、三相誘導モータの各相のRMS電流を、平均モータ出力(馬力、hp)とモータ駆動電源電圧の関数として示しています。検出抵抗の最大値は、測定される電流と、アイソレーション・アンプの最大推奨入力電圧によって決まります。最大推奨入力電圧を測定し、それを通常動作中に検出抵抗に流れるピーク電流で割ることによって、最大検出抵抗を算出することができます。たとえば、モータが、10Aの最大RMS電流を有し、通常動作中に最大50%の過負荷を受ける可能性がある場合、ピーク電流は、21.1Aです(=10×1.414×1.5)。この場合、最大許容入力電圧が200mVと仮定すると、検出抵抗の最大値は約10mΩになります。

検出抵抗に最大RMS電流の二乗を掛けることによって、検出抵抗の最大平均ワット損を簡単に計算することができます(前の例では約1W)。検出抵抗のワット損が大きすぎる場合は、抵抗を最大値より小さくしてワット損を少なくすることができます。検出抵抗の最小値は、設計の精度と正確さの要件によって限定されます。抵抗値が小さくなるほど抵抗の両端の出力電圧も下がり、したがって、一定のオフセットとノイズが、信号振幅に対して大きな割合になります。選択される検出抵抗の値は、設計ごとの特定要件により、最小値から最大値までのどこかになります。

検出抵抗をかなり加熱させるほどセンス電流が大きいき、信号

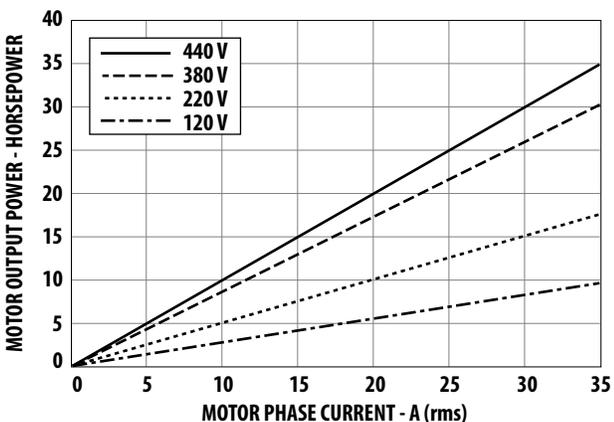


Figure 23. Motor output horsepower vs. motor phase current and supply voltage.

に依存する抵抗の温度上昇によって抵抗の温度係数が非線形になることがあります。この作用は、抵抗と環境間の熱抵抗が大きいほど大きくなります。これは、電流検出抵抗の熱抵抗を小さくするか、温度係数の小さい抵抗を使用することによって最小化することができます。熱抵抗は、PCボード上の電流検出抵抗の位置を変更するか、大きいPCボード・トレースを使用して熱放出を増やすか、ヒートシンクを使用することによって小さくすることができます。

2端子電流検出抵抗の場合は、抵抗値が小さいほど、全抵抗に対するリード線の抵抗の割合が大きくなります。このことは、抵抗精度に2つの大きな影響を及ぼします。第1に、検出抵抗の実効抵抗値は、リード線の長さ、リード線の曲がり具合、リード線のボードへの挿入深さ、組み立て時のリード上のはんだウィックの大きさなどの因子に依存することがあります(これらについては後述します)。次に、リード線は、通常、抵抗素子の材料よりも高い温度係数を有する銅などの材料からなり、その結果全体の温度係数が高くなります。

これらの影響は両方とも、4端子電流検出抵抗を使用することによりキャンセルできます。4端子抵抗には、抵抗素子の間に直接ケルビン接続された2本の補助端子があり、この2本の端子は、抵抗素子の両側の電圧を監視するために使用され、他の2本の端子は、負荷電流を流すために使用されます。ケルビン接続することにより、負荷電流を流すリード線の両端の電圧降下は測定電圧に影響を及ぼしません。

PCボードの電流検出抵抗のレイアウトを決定するときは、いくつかの点を考慮してください。抵抗へのケルビン接続は、抵抗の本体の下に集め互いに近づけてACPL-C79B/C79A/C790の入力まで配線してください。これにより、接続のループ面積が最小になり、漂遊磁界が測定信号に干渉する可能性を減じることができます。検出抵抗をACPL-C79B/C79A/C790回路と同じPCボード上に配置しない場合は、配線をツイストペアにすると同じ効果が得られます。

また、多層のPCボードを使用して電流容量を大きくすることもできます。検出抵抗の各非ケルビン端子のまわりに多数のめっきビアを配置すると、PCボードの層間に電流を分散させるのに役立ちます。PCボードは、層に2または4オンスの銅を使用すると、電流容量が20Aを越えます。また、PCボード上の電流トレースをかなり大きく作成してヒートシンクの役割をさせることにより、検出抵抗のワット損特性を改善することができます。また、PCボードに負荷電流が入り出る部分にビアの数を増やすことも有効です。

## 検出抵抗の接続

ACPL-C79B/C79A/C790を電流検出抵抗に接続する推奨方法を図21に示します。 $V_{IN+}$ (ACPL-C79B/C79A/C790の端子2)を検出抵抗の正端子に接続し、 $V_{IN-}$ (端子3)をGND1(端子4)に短絡すると、電源帰還経路が、電流検出抵抗の負端子への検出ラインとして働きます。これにより、1対の配線またはPCボード・トレースでACPL-C79B/C79A/C790回路を検出抵抗に接続することができます。入力回路の基準を検出抵抗の負側にすることによって、抵抗の負荷電流で生じる過渡的ノイズが、同相信号と見なされ、電流検出信号を妨害しません。このことは、モータ駆動に流れる大きい負荷電流が、回路の配線に固有の寄生インダクタンスと共に、電流検出抵抗間で測定される小さい電圧よりも大きいノイズ・スパイクとオフセットの両方を生成する可能性があるため重要です。

ゲート駆動回路と電流検出回路の両方に同じ電源を使用する場合の潜在的なグラウンドループ問題をなくすには、ACPL-C79B/C79A/C790のGND1から検出抵抗までの接続が、ゲート駆動電源までの供給電流の唯一の帰還経路であることがきわめて重要です。ACPL-C79B/C79A/C790回路とゲート駆動回路との唯一の直接接続が、正電源線でなければなりません。

## 差動入力接続

ACPL-C79B/C79A/C790の差動アナログ入力は、完全差動スイッチト・キャパシタ回路で実現されます。標準的な応用回路(図21)では、アイソレーション・アンプは、シングルエンド入力モードで接続されています。完全差動入力回路構造の場合、よりよい性能を達成するために差動入力接続法(図24に示したような平衡入力モード)を推奨します。スイッチング動作によって両方の端子に生じる入力電流は、フィルタ抵抗で平衡され、互いに相殺されます。一方の端子に誘導されたノイズは、キャパシタCによって他方の端子に結合され、デバイスで除去される同相ノイズだけを生成します。 $R_a$ と $R_b$ の標準値は10  $\Omega$ 、Cは22 nFです。

## 出力側

外部ポストアンプ回路に使用されるオペアンプは、アイソレーション・アンプと比較して著しい量のオフセットまたはオフセット・ドリフトにならないように、十分に高精度でなければなりません。一般に、バイポーラ入力段を有するオペアンプは、JFETまたはMOSFET入力段を有するオペアンプよりオフセット性能が優れています。

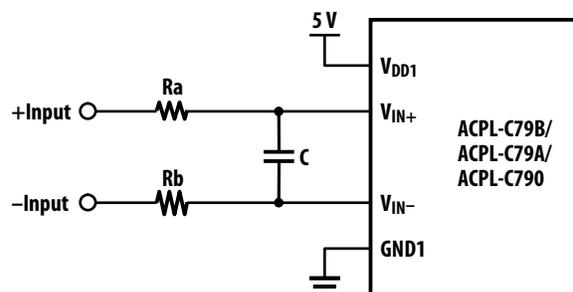


図24. 単純化された差動入力接続図。

さらに、オペアンプは、回路全体の応答速度に悪影響を及ぼさないような帯域幅とスルーレートを備えてなければなりません。ポストアンプ回路は、単極ローパス・フィルタを構成する1対のキャパシタ(C5とC6)を含み、これらのキャパシタによって、ポストアンプの帯域幅をゲインと無関係に調整することができ、またアイソレーション・アンプからの出力ノイズを減少させることができます。

回路全体のCMRRとゲイン誤差の値を適切にするために、ポストアンプ内のゲイン設定抵抗は、誤差が1%以下でなければなりません。抵抗回路網を使用すると、個別抵抗を使用するより高い精度を達成することができます。抵抗回路網は、回路の部品数と必要基板スペースも減少させることができます。

## 電圧検出

ACPL-C79B/C79A/C790を使用すると、入力に抵抗分圧器を使用して推奨入力範囲より大きい振幅を持つ信号を分離することもできます。唯一の制限は、入力抵抗(22k $\Omega$ )と入力バイアス電流(0.1  $\mu$ A)が、測定精度に影響を及ぼさないように、分圧器のインピーダンスを比較的小さく(1k $\Omega$ 未満)しなければならないことです。入力バイパス・コンデンサはやはり必要ですが、10 $\Omega$ の直列減衰抵抗は不要です(分圧器の抵抗が同じ働きをします)。分圧器抵抗と入力バイパス・コンデンサによって構成されたローパスフィルタが、帯域幅を制限することがあります。

製品、販売代理店、その他の情報は当社のウェブサイトをご覧ください。 [www.avagotech.co.jp](http://www.avagotech.co.jp)

注: 日本語データシート、アプリケーションノートは、版が古い場合がございます。最新の内容については、英語版をご参照ください。

Avago, Avago Technologies, Aのロゴ、および本紙記載の商標および登録商標は、米国をはじめとする各国におけるAvago Technologiesの所有に属します。 Copyright©2012 Avago Technologies. All rights reserved. AV02-2460JP - October 30, 2012

**AVAGO**  
TECHNOLOGIES