

ACPL-351J

5.0 A 出力電流 IGBT および SiC/GaN MOSFET ゲート駆動フォトカプラ（過電流検出および FAULT フィードバック機能内蔵）

概要

Broadcom® ACPL-351J は、5A インテリジェント・ゲート駆動フォトカプラです。ピーク出力電流が大きく動作電圧範囲が広いこと、モータ制御およびインバータ用途において IGBT や SiC/GaN MOSFET を直接駆動するのに理想的です。

このデバイスは、高速伝達遅延と優れたタイミング・スケーラビリティを特徴とし、過電流保護および外部絶縁型フィードバック用の FAULT 信号を備えた IGBT/MOSFET を提供します。このゲート駆動フォトカプラのパッケージは、コンパクトで表面実装可能な SO-16 です。安全規格 IEC/EN/DIN、UL および CSA の認定を受けた強化絶縁を提供します。

注意! この製品を取り扱う際は、静電気放電による損傷や劣化を防ぐため、一般的な静電気対策をとってください。このデータ・シートに記載された製品は、軍事または航空宇宙用途および環境で使用しないでください。

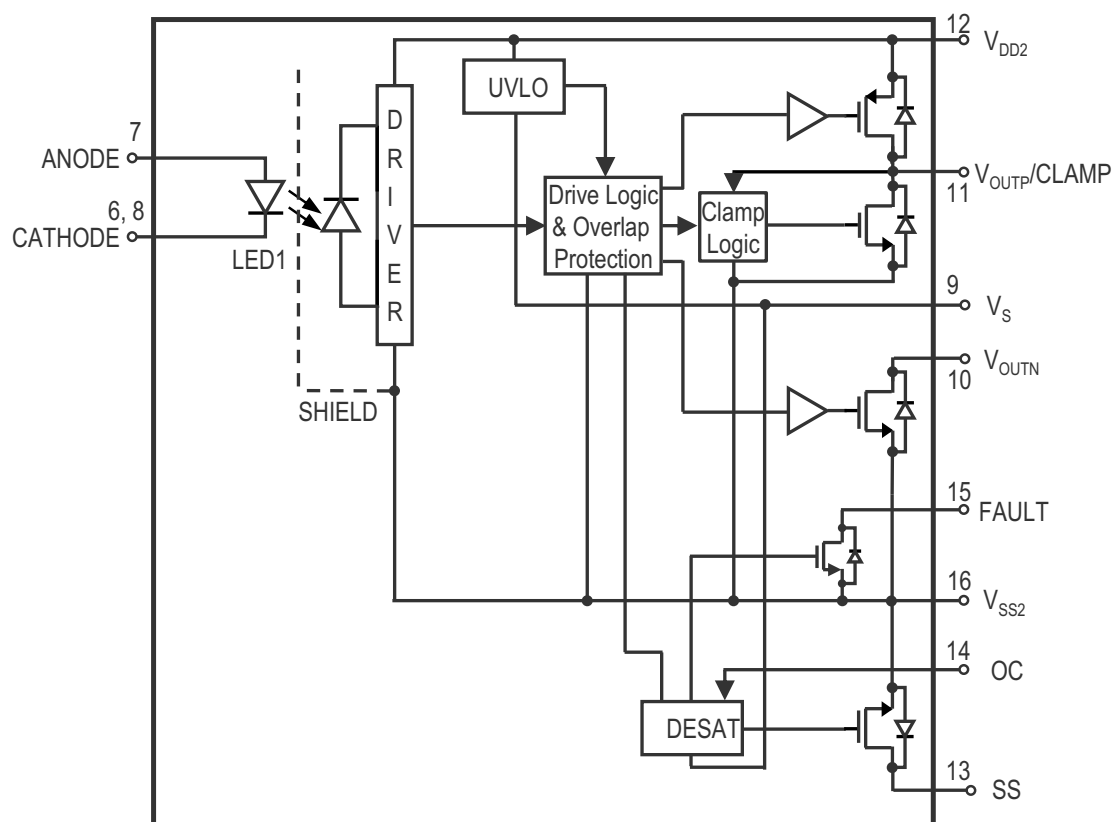
特長

- ACPL-351J – 5.0 A の最大ピーク出力電流
- 150 ns (Max) の伝達遅延時間
- ターンオンおよびターンオフ時間を制御するそれぞれ独立した出力端子
- 過電流検出と構成可能な「ソフト」遮断機能
- 外部絶縁型フィードバック用の FAULT 信号
- ヒステリシス付き低電圧ロックアウト (UVLO)
- 100 kV/μs ($V_{CM} = 1500V$) 最小同相除去 (CMR)
- 広範な動作 V_{DD2} 電圧範囲：15V ~ 30V
- 動作温度範囲：-40°C ~ 105°C
- 8.3 mm の沿面距離と空間距離
- 安全規格認証：
 - UL 認定 5000 V_{RMS} 、1 分間
 - CSA
 - IEC/EN/DIN EN 60747-5-5 $V_{IORM} = 1414 V_{PEAK}$

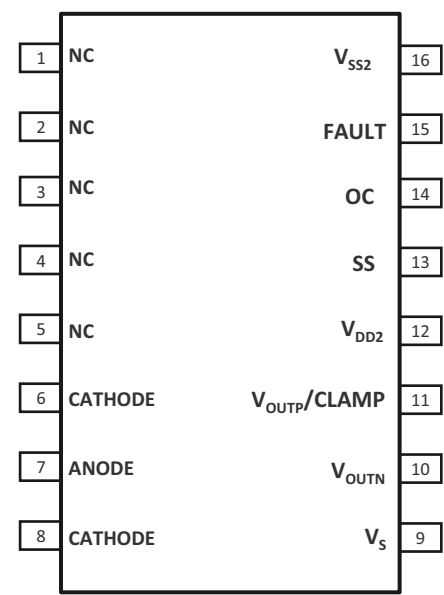
応用例

- IGBT および SiC/GaN MOSFET ゲート駆動
- 工業用駆動装置およびインバータ
- 再生可能エネルギー用インバータ
- スイッチング電源

内部ブロック図



ピンの説明



ピン	記号	概要
1	NC	未接続
2	NC	未接続
3	NC	未接続
4	NC	未接続
5	NC	未接続
6	CATHODE	入力 LED カソード
7	ANODE	入力 LED アノード
8	CATHODE	入力 LED カソード
9	V_S	共通（IGBT エミッタまたは MOSFET ソース）出力電源電圧
10	V_{OUTN}	IGBT または MOSFET ゲートをターンオフするドライバ出力
11	$V_{OUTP}/CLAMP$	IGBT または MOSFET ゲートをターンオン、またはミラー・クランプするドライバ出力
12	V_{DD2}	正出力電源
13	SS	ソフト遮断
14	OC	過電流（OC）入力ピン。IGBT/MOSFET がオンの間に、OC ピンの電圧が 9V の内部基準電圧を超えると、FAULT 出力がロジック・ハイからロー状態に変化します。
15	FAULT	外部絶縁型フィードバック用の OC フォルト信号
16	V_{SS2}	負出力電源

オーダ情報

ACPL-351J は、UL1577 において、定格 5000 Vrms、1 分間で認証されています。

型名	オプション	パッケージ	表面実装	テープ & リール	IEC/EN/DIN EN 60747-5-5	梱包単位
	RoHS 指令準拠					
ACPL-351J	-000E	SO-16	X		X	45 個/チューブ
	-500E		X	X	X	850 個/リール

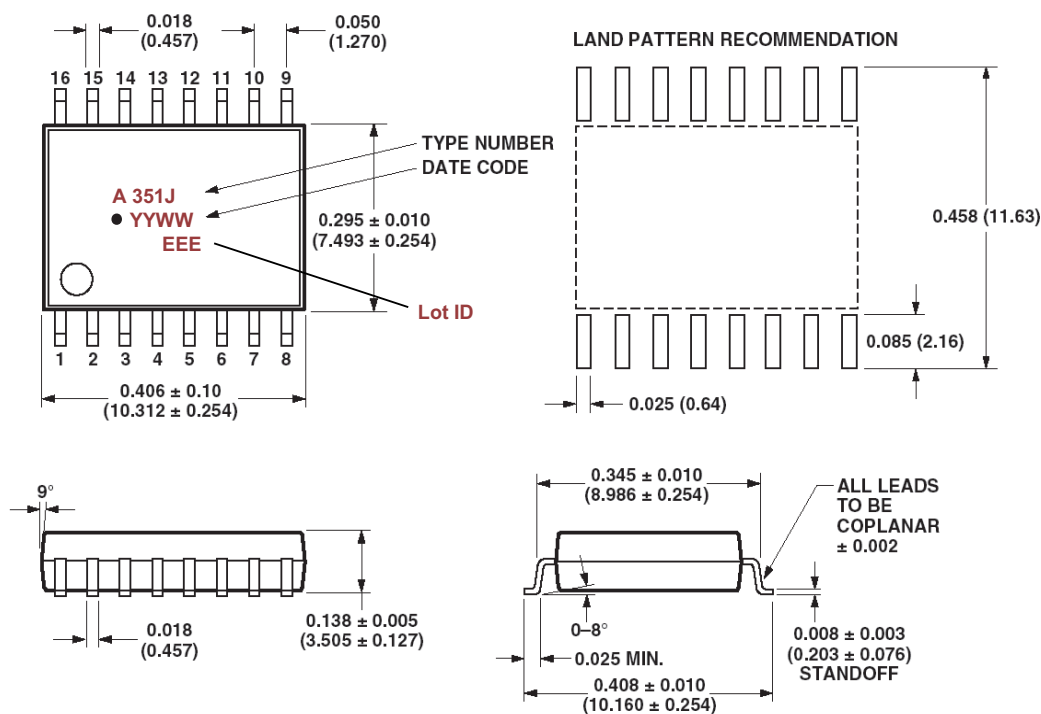
ご注文の際は、型名欄から選択した製品型名とオプション欄のご希望のオプションとを組み合わせで発注してください。

例：

ACPL-351J-500E は、RoHS 指令準拠、IEC/EN/DIN EN 60747-5-5 認証、テープ&リール梱包、表面実装パッケージ SO-16 の製品です。

オプションのデータ・シートもご用意しています。詳細は、Broadcom の正規販売代理店までお問い合わせください。

ACPL-351J 16 リード表面実装パッケージ



注：

1. Dimensions are in inches (millimeters).
2. Floating lead protrusion is 0.25 mm (10 mils) maximum.
3. Initial and continued variation in the color of the ACPL-351J's white mold compound is normal and does not affect device performance or reliability.

推奨鉛フリー IR プロファイル

JEDEC 規格 J-STD-020（最新版）に準拠したリフロー条件を推奨。非ハロゲン化物系フラックスを使用してください。

安全規格

The ACPL-351J is approved by the following organizations.

IEC/EN/DIN EN 60747-5-5	Maximum working insulation voltage $V_{IORM} = 1414 V_{PEAK}$.
UL	Approval under UL 1577, component recognition program up to $V_{ISO} = 5000 V_{RMS}$. File E55361.
CSA	Approval under CSA Component Acceptance Notice #5, File CA 88324.

表 1 : IEC/EN/DIN EN 60747-5-5 Insulation Characteristics^a

Description	Symbol	Characteristic	Units
Installation Classification per DIN VDE 0110/39, Table 1			
For rated mains voltage $\leq 150 V_{rms}$		I - IV	
For rated mains voltage $\leq 300 V_{rms}$		I - IV	
For rated mains voltage $\leq 600 V_{rms}$		I - IV	
For rated mains voltage $\leq 1000 V_{rms}$		I - III	
Climatic Classification		40/105/21	
Pollution Degree (DIN VDE 0110/1.89)		2	
Maximum Working Insulation Voltage	V_{IORM}	1414	V_{PEAK}
Input to Output Test Voltage, Method b ^b $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test with $t_m = 1$ second, Partial Discharge < 5 pC	V_{PR}	2652	V_{PEAK}
Input to Output Test Voltage, Method a*D $V_{IORM} \times 1.6 = V_{PR}$, Type and Sample Test, $t_m = 10$ seconds, Partial Discharge < 5 pC	V_{PR}	2262	V_{PEAK}
Highest Allowable Overvoltage (Transient Overvoltage $t_{ini} = 60$ seconds)	V_{IOTM}	8000	V_{PEAK}
Safety-Limiting Values – maximum values allowed in the event of a failure			
Case Temperature	T_S	175	°C
Input Current	$I_{S, INPUT}$	400	mA
Output Power	$P_{S, OUTPUT}$	1200	mW
Insulation Resistance at T_S , $V_{IO} = 500V$	R_S	$>10^9$	Ω

a. Isolation characteristics are guaranteed only within the safety maximum ratings that must be ensured by protective circuits in application. Surface mount classification is class A in accordance with CECC00802.

b. Refer to IEC/EN/DIN EN 60747-5-5 Optoisolator Safety Standard section of the *Broadcom Regulatory Guide to Isolation Circuits*, AV02-2041EN for a detailed description of Method a and Method b partial discharge test profiles.

表 2 : Insulation and Safety Related Specifications

Parameter	Symbol	ACPL-351J	Units	Conditions
Minimum External Air Gap (Clearance)	L(101)	8.3	mm	Measured from input terminals to output terminals, shortest distance through air.
Minimum External Tracking (Creepage)	L(102)	8.3	mm	Measured from input terminals to output terminals, shortest distance path along body.
Minimum Internal Plastic Gap (Internal Clearance)		0.5	mm	Through insulation distance conductor to conductor, usually the straight line distance thickness between the emitter and the detector.
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1.
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1).

注 : All Broadcom data sheets report the creepage and clearance inherent to the optocoupler component itself. These dimensions are needed as a starting point for the equipment designer when determining the circuit insulation requirements. However, when mounted on a printed circuit board, minimum creepage and clearance requirements must be met as specified for individual equipment standards. For creepage, the shortest distance path along the surface of a printed circuit board between the solder fillets of the input and output leads must be considered (the recommended land pattern does not necessarily meet the minimum creepage of the device). There are recommended techniques, such as grooves and ribs, that may be used on a printed circuit board to achieve the desired creepage and clearances. The creepage and clearance distances will also change depending on factors, such as pollution degree and insulation level.

表 3 : Absolute Maximum Ratings

Parameter	Symbol	Min.	Max.	Units	Notes
Storage Temperature	T_S	-55	125	°C	
Operating Temperature	T_A	-40	105	°C	
Output IC Junction Temperature	T_J	—	125	°C	
Average Input Current	$I_{F(AVG)}$	—	25	mA	a
Peak Transient Input Current ($<1\ \mu\text{s}$ pulse width, 300 pps)	$I_{F(TRAN)}$	—	1.0	A	
Reverse Input Voltage	V_R	—	5	V	
"High" Peak Output Current	$I_{OH(PEAK)}$	—	5	A	b
"Low" Peak Output Current	$I_{OL(PEAK)}$	—	5	A	b
Total Output Supply Voltage	$(V_{DD2} - V_{SS2})$	-0.5	35	V	
Negative Output Supply Voltage	$(V_S - V_{SS2})$	-0.5	17	V	
Positive Output Supply Voltage	$(V_{DD2} - V_S)$	-0.5	$35 - (V_S - V_{SS2})$	V	
Input Current (Rise/Fall Time)	$t_{r(IN)}/t_{f(IN)}$	—	500	ns	
High Side Pull Up Voltage	V_{OUTP}	$V_{SS2} - 0.5$	$V_{DD2} + 0.5$	V	
Low Side Pull Down Voltage	V_{OUTN}	$V_{SS2} - 0.5$	$V_{DD2} + 0.5$	V	
Overcurrent Pin Voltage	V_{OC}	$V_S - 0.5$	$V_{DD2} + 0.5$	V	
Peak Clamp Sinking Current	I_{CLAMP}	—	3	A	
Miller Clamp Pin Voltage	V_{CLAMP}	$V_{SS2} - 0.5$	$V_{DD2} + 0.5$	V	
FAULT Pin Voltage	V_{FAULT}	—	$V_{DD2} + 0.5$	V	
Output IC Power Dissipation	P_O	—	600	mW	c
Input LED Power Dissipation	P_I	—	110	mW	d

a. Derate linearly above 70°C free-air temperature at a rate of 0.3 mA/°C.

b. Maximum pulse width = 10 μs . The output must be limited to -5.0A/5.0A of the peak current by external resistors. See “電源およびグラウンドプレーンのレイアウトと負荷条件” to prevent output noise at 5A rated current.

c. Derate linearly above 95°C free-air temperature at a rate of 20 mW/°C.

d. Derate linearly above 95°C free-air temperature at a rate of 3.7 mW/°C. The maximum LED junction temperature should not exceed 125°C.

表 4 : Recommended Operating Conditions

Parameter	Symbol	Min.	Max.	Units	Notes
Operating Temperature	T_A	-40	105	°C	
Total Output Supply Voltage	$(V_{DD2} - V_{SS2})$	15	30	V	
Negative Output Supply Voltage	$(V_S - V_{SS2})$	0	15	V	
Positive Output Supply Voltage	$(V_{DD2} - V_S)$	15	$30 - (V_S - V_{SS2})$	V	
Input Current (ON)	$I_{F(ON)}$	8	12	mA	
Input Voltage (OFF)	$V_{F(OFF)}$	-3.6	0.8	V	
FAULT Pin Voltage	V_{FAULT}	—	30	V	

In “表 5”, all typical values at $T_A = 25^\circ\text{C}$, $V_{DD2} - V_S = 15\text{V}$, $V_S - V_{SS2} = 15\text{V}$; all minimum and maximum specifications are at recommended operating conditions, unless otherwise noted.

表 5 : Electrical Specifications (DC)

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Figure	Notes
V_{OUTP} High Level Peak Output Current	I_{OH}	-4.5	9.0	—	A	$V_{DD2} - V_{OUTP} = 15\text{V}$	3	a
V_{OUTN} Low Level Peak Output Current	I_{OL}	4.5	7.0	—	A	$V_{OUTN} - V_{SS2} = 15\text{V}$	4	a
V_{OUTP} Output PMOS $R_{DS(ON)}$	R_{OUTP}	0.4	0.7	1.5	Ω	$I_{OP} = -4.5\text{A}$, $I_F = 8\text{mA}$	5	a
V_{OUTN} Output NMOS $R_{DS(ON)}$	R_{OUTN}	0.3	0.6	1.2	Ω	$I_{ON} = 4.5\text{A}$, $V_F = 0\text{V}$	6	a
V_{OUTP} Output Voltage	V_{OH}	$V_{DD2} - 0.60$	$V_{DD2} - 0.06$	—	V	$I_{OP} = -100\text{mA}$, $I_F = 8\text{mA}$	1	b, c
V_{OUTN} Output Voltage	V_{OL}	—	$V_{SS2} + 0.04$	$V_{SS2} + 0.60$	V	$I_{ON} = 100\text{mA}$, $V_F = 0\text{V}$	2	
Clamp Threshold Voltage	V_{TH_CLAMP}	—	2	3	V			
Clamp Low Level Sinking Current	I_{CLAMP}	2	2.5	—	A	$V_{CLAMP} = V_{SS2} + 2.5\text{V}$	7	
Clamp Output Transistor $R_{DS(ON)}$	$R_{DS,CLAMP}$	—	0.9	2	Ω	$I_{CLAMP} = 2.5\text{A}$		
SS Pull Down Current	I_{OSS}	70	140	—	mA	$SS - V_{SS2} \geq 15\text{V}$, $I_F = 8\text{mA}$, OC = Open	8	
SS $R_{DS(ON)}$	R_{OUTSS}	—	16	40	Ω	$I_{SS} = 70\text{mA}$, $I_F = 8\text{mA}$, OC = Open		
High Level Output Supply Current (V_{DD2})	I_{DD2H}	—	4.6	7.5	mA	$I_F = 8\text{mA}$, No Load	9	
Low Level Output Supply Current (V_{DD2})	I_{DD2L}	—	3.7	6.5	mA	$V_F = 0\text{V}$, No Load,	9	
High Level Output Supply Current (V_{SS2})	I_{SS2H}	-2.2	-1.7	—	mA	$I_F = 8\text{mA}$, No Load,	10	
Low Level Output Supply Current (V_{SS2})	I_{SS2L}	-1.2	-0.8	—	mA	$V_F = 0\text{V}$, No Load,	10	
Input Threshold Current Low to High	I_{FLH}	0.5	2	6.5	mA		11, 12	
Input Threshold Voltage High to Low	V_{FHL}	0.8	—	—	V			
Input Forward Voltage	V_F	1.2	1.55	1.95	V	$I_F = 8\text{mA}$		
Temperature Coefficient of Input Forward Voltage	$\Delta V_F / \Delta T_A$	—	-1.7	—	mV/°C	$I_F = 8\text{mA}$		
Input Reverse Breakdown Voltage	BV_R	5	—	—	V	$I_R = 100\mu\text{A}$		

表 5 : Electrical Specifications (DC) (続き)

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Figure	Notes
Input Capacitance	C_{IN}	—	70	—	pF	$f = 1 \text{ MHz}$, $V_F = 0 \text{ V}$		
UVLO Threshold, $V_{DD2} - V_S$	V_{UVLO+}	12	12.9	13.5	V	$I_F = 8 \text{ mA}$, $V_{OUTP} - V_E > 5 \text{ V}$		b, c, d
	V_{UVLO-}	11	11.8	12.5	V	$I_F = 8 \text{ mA}$, $V_{OUTP} - V_E < 5 \text{ V}$		b, c, e
UVLO Hysteresis, $V_{DD2} - V_S$	$V_{UVLO+} - V_{UVLO-}$	0.5	1	—	V			
OC Sensing Voltage Threshold	V_{OC}	8.5	9	9.5	V	$V_{DD2} - V_S > V_{UVLO+}$	13	c
Blanking Capacitor Charging Current	I_{CHG}	0.85	1	1.15	mA	$V_{OC} = 2 \text{ V}$	14	c, f
OC Low Voltage when Blanking Capacitor Discharge	V_{DSCHG}	—	1.1	2	V	$I_{DSCHG} = 20 \text{ mA}$		c, f
Low Level FAULT Output Voltage	V_{FAULTL}	—	0.7	1.5	V	$I_{FAULT} = 10 \text{ mA}$		
High Level FAULT Leakage Current	I_{FAULTH}	—	2	20	μA	$V_{FAULT} = 30 \text{ V}$		

- a. Output is sourced at -4.5 A / 4.5 A with a maximum pulse width = $10 \mu\text{s}$.
- b. 15 V is the recommended minimum operating positive supply voltage ($V_{DD2} - V_S$) to ensure adequate margin in excess of the maximum V_{UVLO+} threshold of 13.5 V . For high level output voltage testing, V_{OUTP} is measured with a $50\text{-}\mu\text{s}$ pulse load current. When driving capacitive loads, V_{OUTP} will approach V_{DD2} as I_{OUTP} approaches zero units.
- c. When the system is out of UVLO ($V_{DD2} - V_S > V_{UVLO+}$), the OC detection feature of the ACPL-351J will be the primary source of IGBT / MOSFET protection. UVLO must be unlocked to ensure that OC is functional. When V_{DD2} exceeds V_{UVLO+} threshold, OC will remain functional until V_{DD2} is below the V_{UVLO-} threshold. The OC detection and UVLO features of the ACPL-351J work in conjunction to ensure constant IGBT / MOSFET protection.
- d. This is the "increasing" (that is, turn-on or "positive going" direction) of $V_{DD2} - V_S$.
- e. This is the "decreasing" (that is, turn-off or "negative going" direction) of $V_{DD2} - V_S$.
- f. See "OC フォルト検出ブランキング時間" for further details.

In "表 6", all typical values at $T_A = 25^\circ\text{C}$, $V_{DD2} - V_S = 15 \text{ V}$, $V_S - V_{SS2} = 15 \text{ V}$; all minimum and maximum specifications are at recommended operating conditions, unless otherwise noted.

表 6 : Switching Specifications (AC)

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Figure	Notes
Propagation Delay Time to High V_{OUTP} Output Level	t_{PLH}	40	100	150	ns	$R_{GP} = 5 \Omega$, $R_{GN} = 5 \Omega$, $C_G = 5 \text{ nF}$, $f = 20 \text{ kHz}$, Duty Cycle = 50%, $I_F = 8 \text{ mA}$	15, 16, 21	a
Propagation Delay Time to Low V_{OUTN} Output Level	t_{PHL}	40	90	150	ns			b
Pulse Width Distortion	PWD	-50	10	50	ns			c
Propagation Delay Difference Between Any Two Parts	PDD ($t_{PLH} - t_{PHL}$)	-75	—	75	ns			d
Propagation Delay Skew	t_{PSK}	—	—	60	ns			e

表 6 : Switching Specifications (AC) (続き)

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Figure	Notes
10% to 90% Rise Time on V_{OUTP}	t_R	—	37	—	ns	$R_{GP} = 5\Omega$, $R_{GN} = 5\Omega$, $C_G = 2\text{ nF}$, $f = 20\text{ kHz}$, Duty Cycle = 50%, $I_F = 8\text{ mA}$		
90% to 10% Fall Time on V_{OUTN}	t_F	—	30	—	ns			
OC Blanking Time	$t_{OC(BLANKING)}$	—	0.75	1	μs	$R_{GP} = 5\Omega$, $R_{GN} = 5\Omega$, $C_G = 5\text{ nF}$, $f = 100\text{ Hz}$, Duty Cycle = 50%, $I_F = 8\text{ mA}$, $R_{SS} = 133\Omega$, $R_{FS} = 1\text{ k}\Omega$, $C_{FS} = 470\text{ pF}$	20	f
OC Detection to 90% V_{GATE} Delay	$t_{OC(90\%)}$	—	0.13	—	μs		20	g
OC Detection to $V_{GATE} = 2\text{ V}$ Delay	$t_{OC(2V)}$	—	2.5	—	μs		20	h
OC Detection to OC Pull Low Propagation Delay	$t_{OC(LOW)}$	—	0.25	—	μs		20	i
OC Detection to SS Pull Low Propagation Delay	$t_{SS(LOW)}$	—	0.15	0.8	μs		17, 20	j
OC Detection to Low Level FAULT Signal Delay	$t_{OC(FAULT)}$	—	180	200	ns		20	k
Output Mute Time Due to Overcurrent	$t_{OC(MUTE)}$	2	3	4	ms		18, 20	l
Time Input Kept Low Before Fault Reset to High	$t_{OC(RESET)}$	2	3	4	ms		18, 20	m
V_{DD2} UVLO to V_{OUTP} High Delay	t_{UVLO_ON}	—	3	—	μs		22	n
V_{DD2} UVLO to V_{OUTN} Low Delay	t_{UVLO_OFF}	—	1.5	—	μs		22	o
Output High Level Common Mode Transient Immunity	$ ICM_H $	100	—	—	kV/ μs	$T_A = 25^\circ\text{C}$, $I_F = 8\text{ mA}$, $V_{CM} = 1500\text{ V}$,		p, q
Output Low Level Common Mode Transient Immunity	$ ICM_L $	100	—	—	kV/ μs	$T_A = 25^\circ\text{C}$, $V_F = 0\text{ V}$, $V_{CM} = 1500\text{ V}$		q, r

- t_{PLH} is defined as propagation delay from 50% of LED input I_F , to 50% of V_{OUTP} high level output.
- t_{PHL} is defined as propagation delay from 50% of LED input I_F , to 50% of V_{OUTN} low level output.
- Pulse width distortion (PWD) is defined as $|t_{PHL} - t_{PLH}|$ for any given unit.
- Propagation delay difference (PDD) is the difference between t_{PHL} and t_{PLH} between any two units under the same test condition.
- Propagation delay skew (t_{PSK}) is the difference in t_{PHL} or t_{PLH} between any two units under the same test condition.
- The internal delay time to respond to an OC fault condition without any external blanking capacitor.
- The amount of time from when the OC threshold is exceeded to 90% of V_{GATE} at the mentioned test conditions.
- The amount of time from when the OC threshold is exceeded to V_{GATE} at 2V at the mentioned test conditions.
- The amount of time from when the OC threshold is exceeded to 10% of OC low voltage.
- The amount of time from when the OC threshold is exceeded to 10% of SS (Soft Shut) low voltage.
- The amount of time from when the OC threshold is exceeded to FAULT output low.
- The amount of time when the OC threshold is exceeded, output is muted to LED input.
- The amount of time when the OC mute time is expired, the LED input must be kept low for FAULT status to return to high.
- The delay time when V_{DD2} exceeds the UVLO+ threshold to 50% of the V_{OUTP} high level output.
- The delay time when V_{DD2} exceeds the UVLO- threshold to 50% of the V_{OUTN} low level output.
- Common mode transient immunity in the high state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM} , to assure that the output will remain in the high state (that is, $V_{DD2} - V_{OUTP} < 1.0\text{ V}$ or $FAULT > 2\text{ V}$). V_{DD2} must be higher than V_{UVLO+} .
- Split resistor network in the ratio 3:1 with 324 Ω at the anode and 107 Ω at the cathode.
- Common mode transient immunity in the low state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM} , to assure that the output will remain in a low state (that is, $V_{OUTN} - V_{SS2} < 1.0\text{ V}$ or $FAULT > 2\text{ V}$). V_{DD2} must be higher than V_{UVLO+} .

表 7 : Package Characteristics

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Fig.	Note
Input-Output Momentary Withstand Voltage	V_{ISO}	5000		—	V_{RMS}	$RH < 50\%$, $t = 1 \text{ min.ute}$, $T_A = 25^\circ\text{C}$		a, b, c
Input-Output Resistance	R_{I-O}	—	$> 10^9$	—	Ω	$V_{I-O} = 500\text{V}$		c
Input-Output Capacitance	C_{I-O}	—	1.3	—	pF	freq = 1 MHz		
Thermal Coefficient Between:		—			$^\circ\text{C/W}$			d
LED and Output IC	A_{EO}	33.1	—	—				
LED and Ambient	A_{EA}	176.1	—	—				
Output IC and Ambient	A_{OA}	76.7	—	—				

- a. In accordance with UL1577, each optocoupler is proof tested by applying an insulation test voltage $\geq 6000 \text{ Vrms}$ for 1 second. This test is performed before the 100% production test for partial discharge (method b) shown in IEC/EN/DIN EN 60747-5-5 Insulation Characteristic Table, if applicable.
- b. The input-output momentary withstand voltage is a dielectric voltage rating that should not be interpreted as an input-output continuous voltage rating. For the continuous voltage rating, refer to your equipment level safety specification or the IEC/EN/DIN EN 60747-5-5 Insulation Characteristics Table.
- c. The device is considered a two-terminal device: Pins 1 to 8 are shorted together and pins 9 to 16 are shorted together.
- d. For further details, see “[熱計算](#)”.

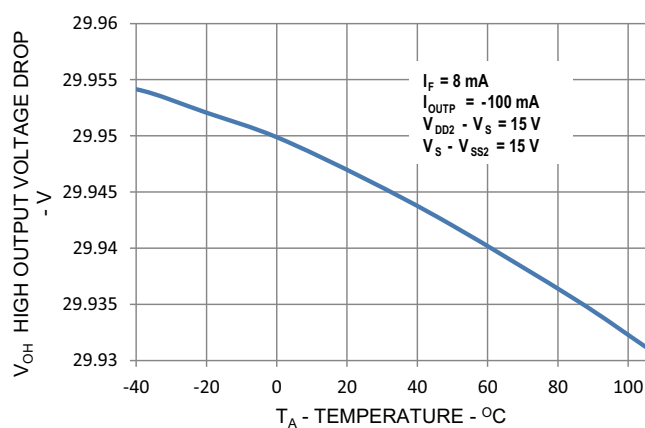
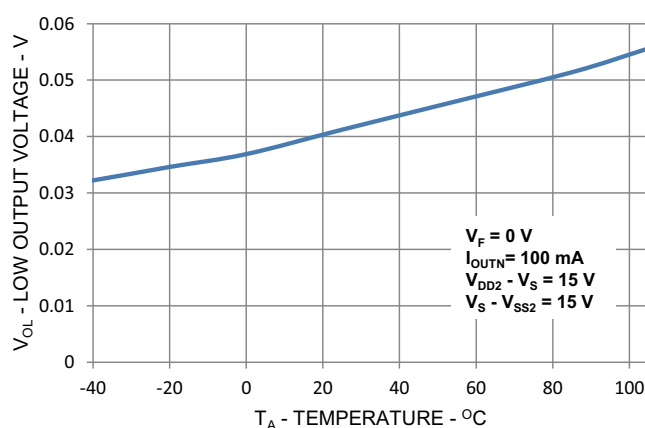
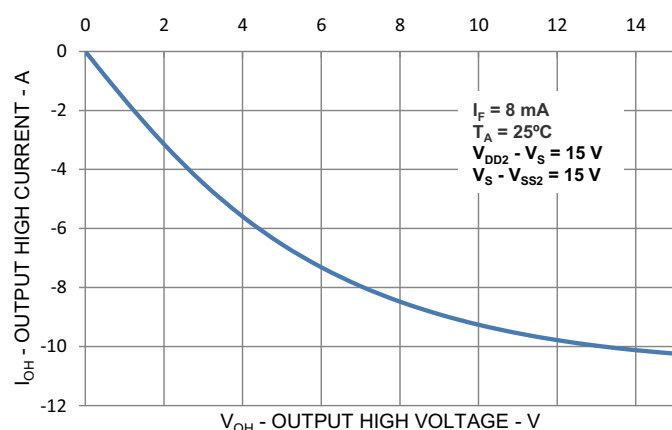
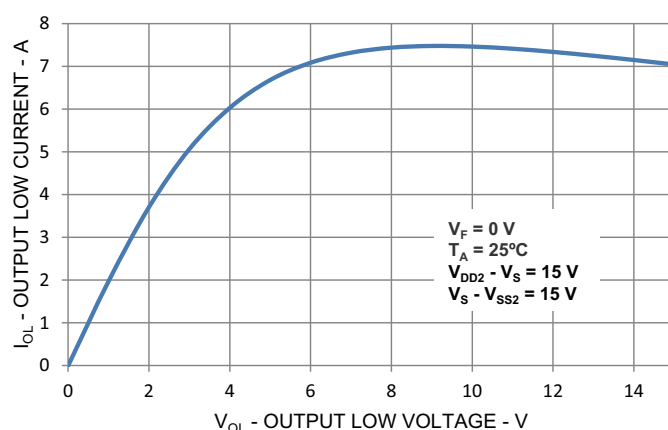
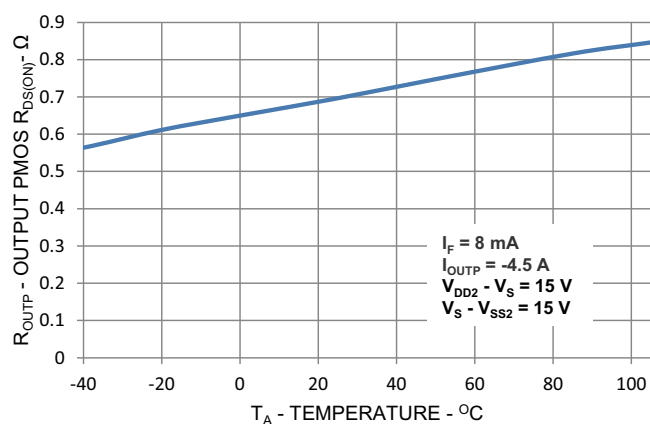
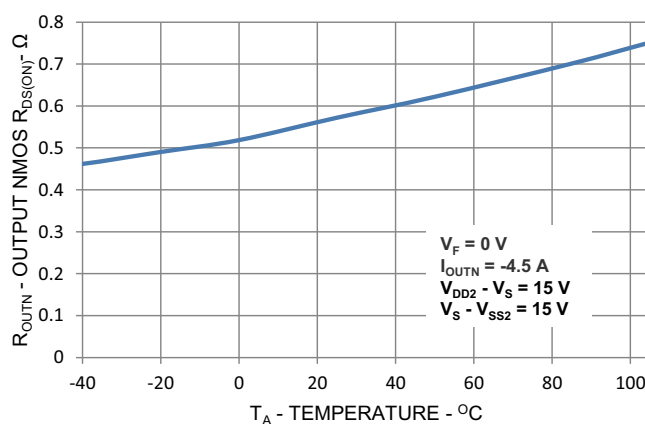
図1 : V_{OH} vs. Temperature図2 : V_{OL} vs. Temperature図3 : I_{OH} vs. V_{OH} 図4 : I_{OL} vs. V_{OL} 図5 : R_{OUTP} vs. Temperature図6 : R_{OUTN} vs. Temperature

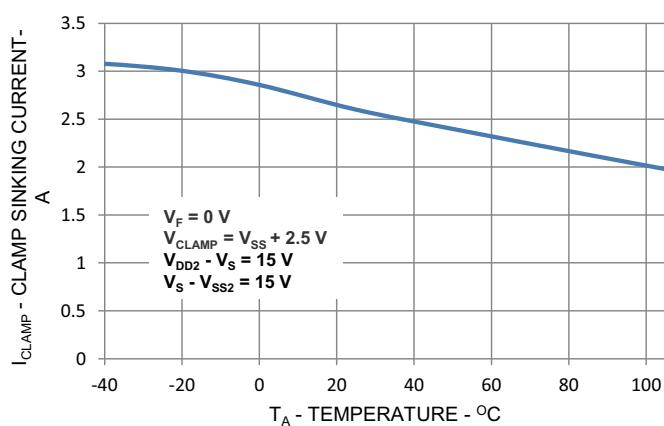
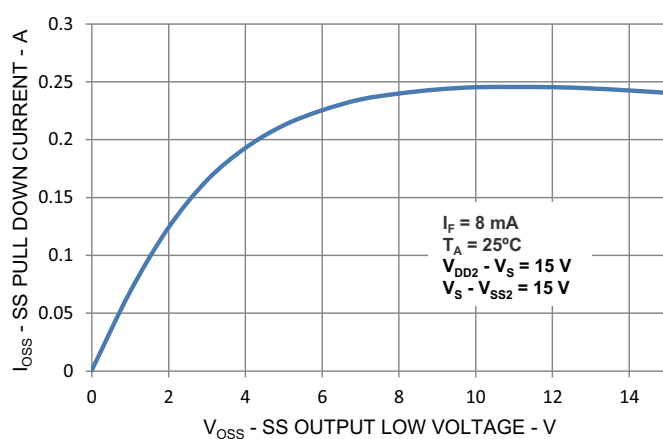
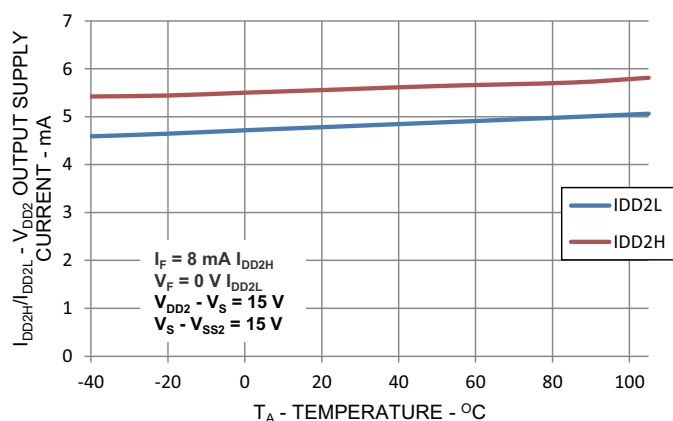
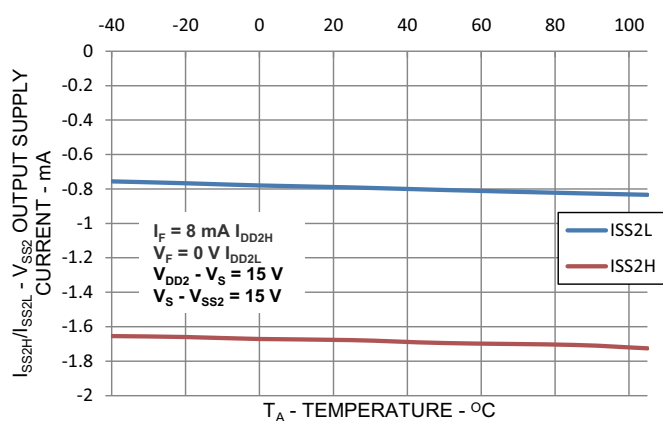
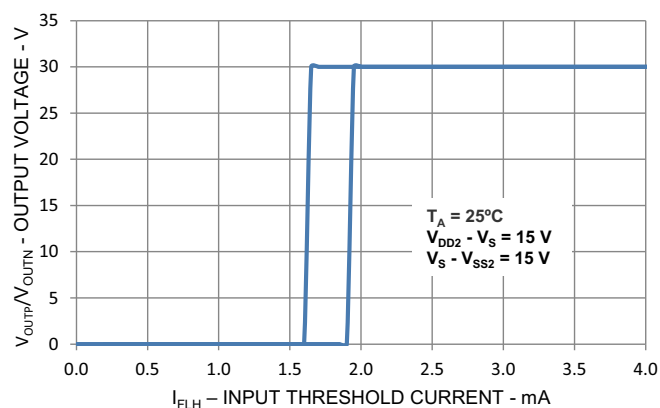
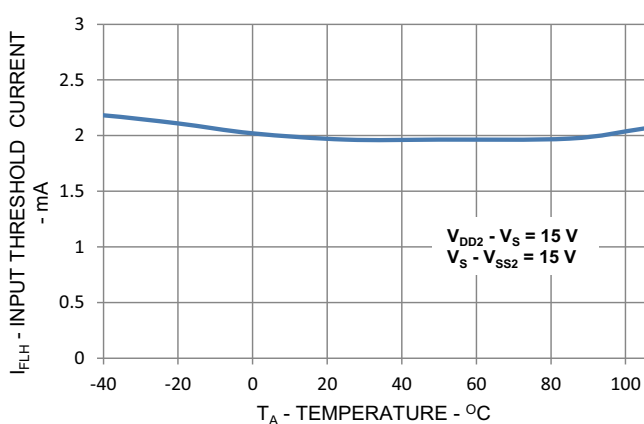
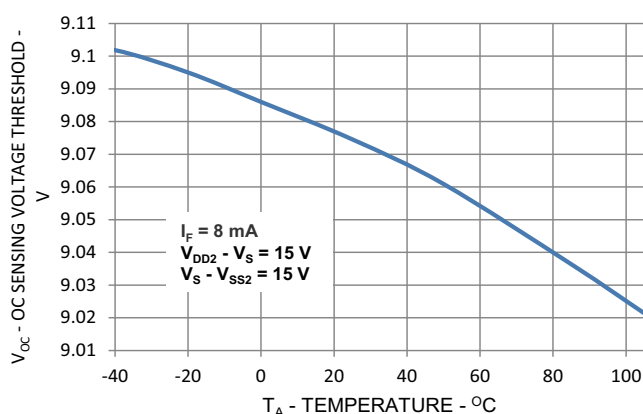
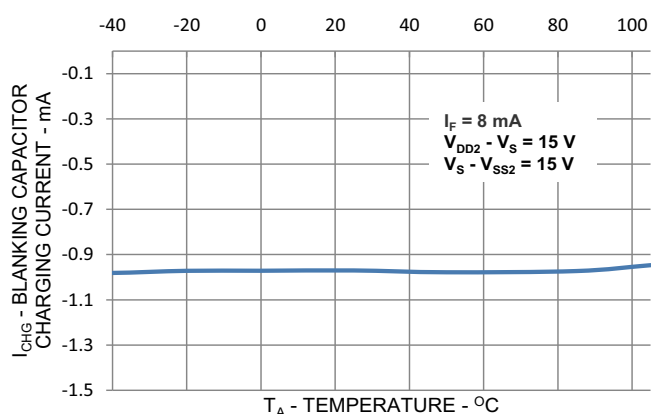
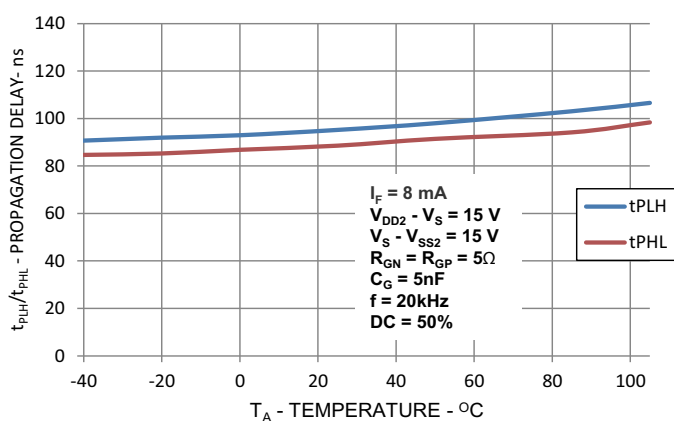
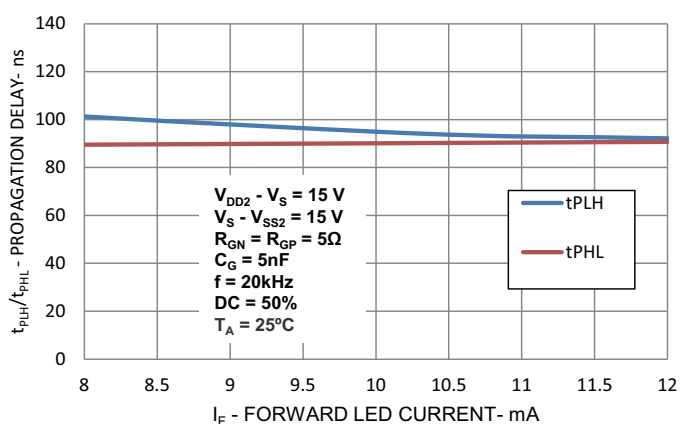
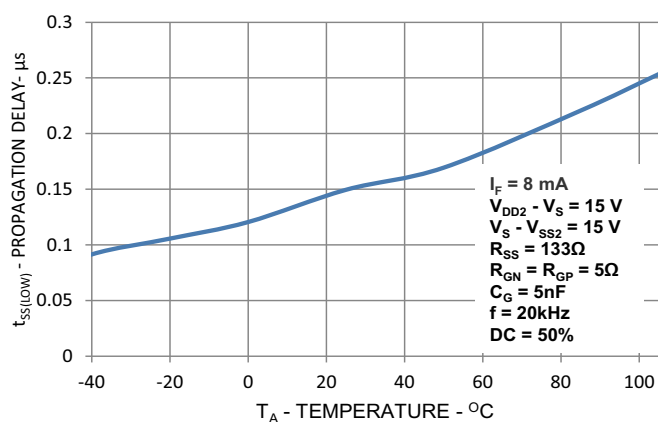
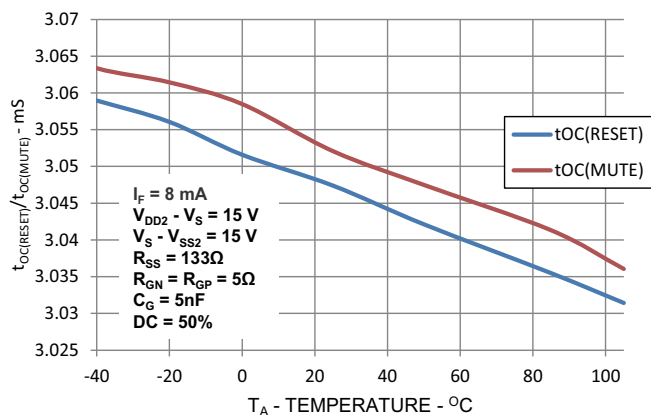
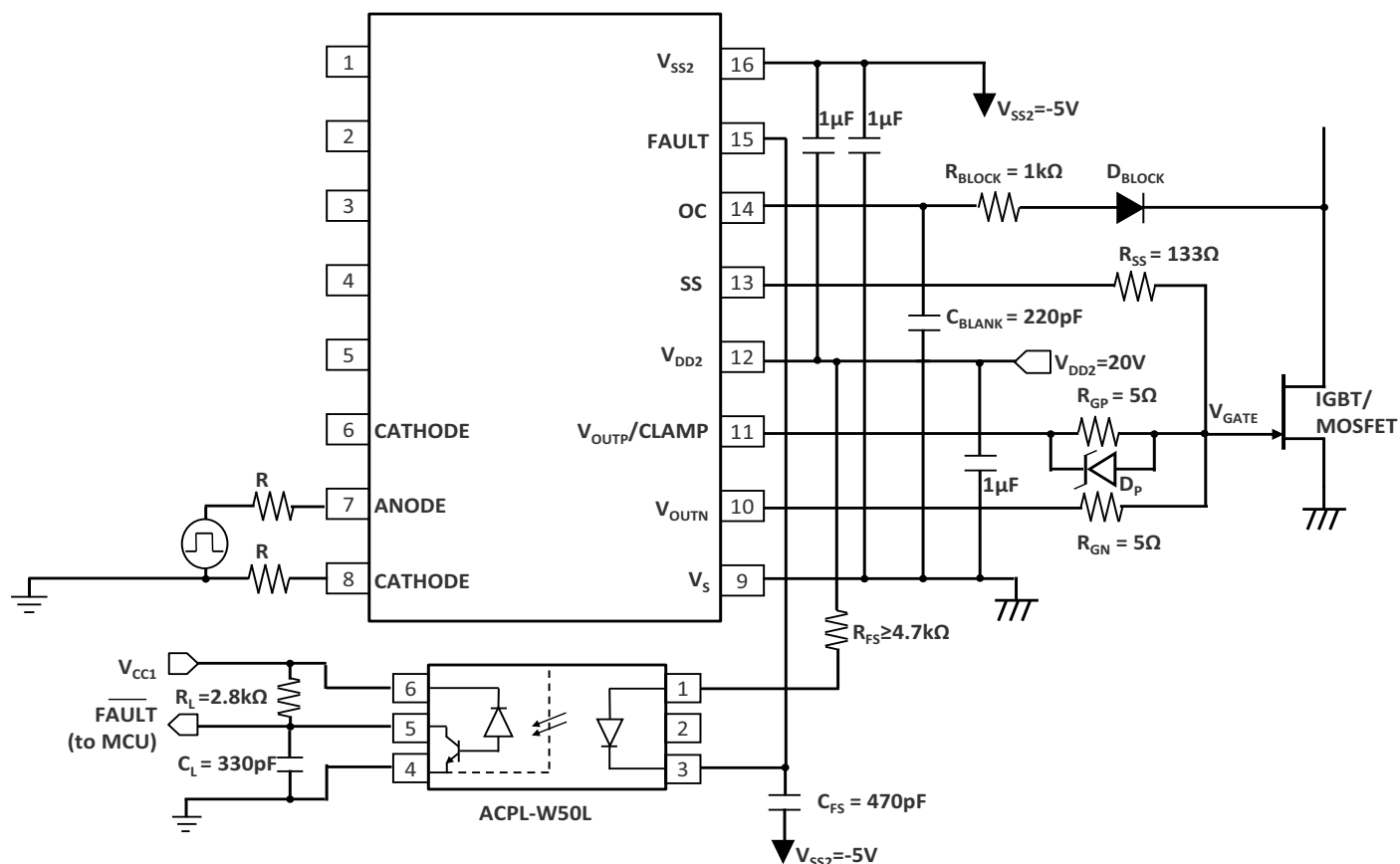
図7 : I_{CLAMP} vs. Temperature図8 : I_{OSS} vs. V_{OSS} 図9 : I_{DD2H}/I_{DD2L} vs. Temperature図10 : I_{SS2H}/I_{SS2L} vs. Temperature図11 : V_{OUTP}/V_{OUTN} vs. I_{FLH} 図12 : I_{FLH} vs. Temperature

図13 : V_{OC} vs. Temperature図14 : I_{CHG} vs. Temperature図15 : t_{PLH}/t_{PHL} vs. Temperature図16 : t_{PLH}/t_{PHL} vs. I_F 図17 : t_{PLH}/t_{PHL} vs. Temperature図18 : $t_{OC(RESET)}/t_{OC(MUTE)}$ vs. Temperature

アプリケーション情報

推奨応用回路

図19： Recommended Application Circuit for the ACPL-351J



ACPL-351J は、LED 入力制御および外部フィードバック・フォトカプラを介した過電流フォルト・フィードバック機能を内蔵しています。電源 V_{DD2} は 4 つの $1\mu\text{F}$ バイパス・デカップリング・コンデンサに接続され、スイッチング動作時に必要な大きな過渡電流を供給します。

入力 LED のアノードとカソードに接続された 2 つの抵抗 (R) は、3:1 の比率に分割することを推奨します。それによって、LED のアノードとカソードの同相インピーダンスのバランスを取り、アノードとカソードの同相電圧変化を等しくして、高度な CMR 性能を提供できます。

OC ピンを保護し、誤フォルト検出を防ぐために、HV 阻止ダイオード D_{BLOCK} 、 R_{BLOCK} 、および 220pF ブランキング・コンデンサを使用します。過電流フォルト状態の間、IGBT/MOSFET は SS ピンによりソフト遮断され、遮断レートは R_{SS} によって調整できます。

ゲート抵抗 (R_{GP} と R_{GN}) は、ゲート電流を制限し、IGBT/MOSFET のスイッチング時間を間接的に制御する役割を担います。CLAMP 機能と一緒にショットキー・ダイオード D_P を使用し、オフ・サイクルの間、寄生 IGBT/MOSFET ミラー電流を逃します。

通常動作では、外部フィードバック LED をターンオンした場合のノイズは、 C_{FS} がフィルタします。過電流フォルト状態になると、FAULT ピンが V_{SS2} に引き込まれ、外部 LED をターンオンして、MCU にフィードバックします。

出力制御

2 次出力段 (V_{OUT} 、CLAMP、OC および SS) は、 V_{DD2} 、LED 電流 (I_F) および過電流 (OC) 条件の組み合わせによって制御されます。以下は、これらの出力の論理真理値表を示しています。ロジックレベルは、各機能ピンのしきい値によって定義されます。

条件	入力			2 次出力			フォルト・フィードバック
	V_{DD2}	I_F	OC	V_{OUTN}	$V_{OUTP}/CLAMP$	SS	FAULT
V_{DD2} UVLO	ロー	X	非アクティブ	ロー	ロー (CLAMP)	ハイ-Z	ハイ
過電流	ハイ	ロー	非アクティブ	ロー	ロー (CLAMP)	ハイ-Z	ハイ
	ハイ	ハイ	アクティブ (OC)	ハイ-Z	ロー (CLAMP)	ロー	ロー
通常のスイッチング	ハイ	ロー	非アクティブ	ロー	ロー (CLAMP)	ハイ-Z	ハイ
	ハイ	ハイ	アクティブ (OC 以外)	ハイ-Z	ハイ (V_{OUTP})	ハイ-Z	ハイ

過電流（または DESAT）検出および保護について

標準的な 3 相インバータの電力段は、さまざまな種類のフォルトの影響を受けやすく、その大半がパワー IGBT/MOSFET に損傷をもたらす可能性があります。これらのフォルト・モードは、ユーザの接続ミスや誤配線による位相またはレイル電源短絡（または両方）、ノイズまたは計算誤差による制御信号フォルト、負荷によって引き起こされる過負荷状態、およびゲート駆動回路の部品異常といった4つの基本カテゴリに大別できます。これらのフォルト状態のいずれにおいても、IGBT/MOSFET を流れる電流が急増し、過度な電力消費と発熱を引き起こします。IGBT/MOSFET は、電流負荷がデバイスの飽和電流に達すると損傷し、コレクタ/ドレイン - エミッタ/ソース間の電圧が飽和電圧レベルを超えます。電力消費が劇的に増加し、電力デバイスが急速に加熱状態となり、破壊されます。デバイスへの損傷を防ぐには、フォルト状態の間、IGBT/MOSFET の動作を抑制するか、ターンオフにするためのフォルト保護を実装する必要があります。

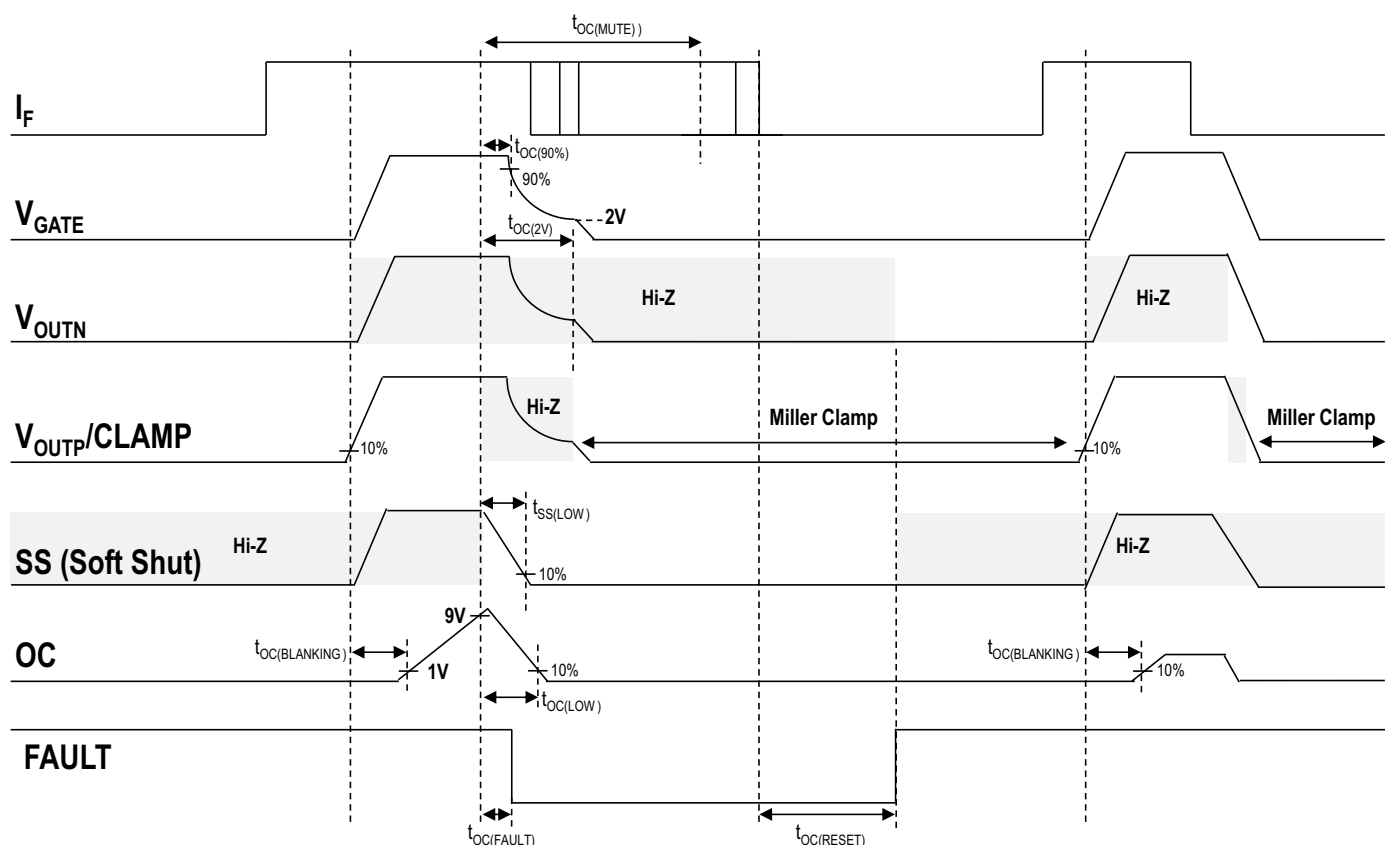
ACPL-351J の OC ピンは、MOSFET のドレイン/ソース電圧または IGBT のコレクタ/エミッタ電圧を監視します。MOSFET が過電流状態になるか、IGBT が非飽和状態になると、これらの電圧は所定のしきい値、 V_{OC} を超えます。ACPL-351J は、局所的にフォルト遮断シーケンスを開始し、高い過電流を徐々に減少させ、損傷を引き起こす電圧スパイクを防ぎます。フォルトは、外部フィードバック・フォトカプラを通じてコントローラに報告されます。

IGBT がオフ状態（LED 入力なし）の間は、誤「フォルト」信号を防ぐために、フォルト検出回路は無効になります。

過電流状態での動作の説明

1. OC 端子は、IGBT の V_{CE} または MOSFET V_{DS} 電圧を監視します。
2. OC 端子の電圧が 9V を超えると、出力電圧 (V_{OUTP} および V_{OUTN}) は Hi-Z (ハイ・インピーダンス) 状態になり、SS は抵抗 R_{SS} により調整可能な低レートで V_{GATE} を引き下げます。
3. FAULT ピンが V_{SS2} に引き込まれ、外部フィードバック・フォトカプラをターンオンして、マイクロコントローラにフォルト状態を通知します。
4. マイクロコントローラは、適切なアクションを取ります。
5. $t_{OC(MUTE)}$ の期間終了後、フォルト状態がクリアされるまで、 $t_{OC(RESET)}$ の間は、LED 入力をローの状態にしておく必要があります。FAULT 状態はハイに戻り、SS 出力は Hi-Z 状態に戻ります。
6. LED が $t_{OC(RESET)}$ の間にハイになると、 $t_{OC(RESET)}$ タイミングがリセットされるため、フォルト状態がクリアされるまで、さらに $t_{OC(RESET)}$ の間、LED 入力をローの状態にしておく必要があります。
7. フォルト状態がクリアされた後、 V_{GATE} は LED 入力に応答し始めます。

図20： Circuit Behaviors During an Overcurrent Event



OC フォルト検出ブランキング時間

OC フォルト検出回路は、IGBT のターンオン後、コレクタ電圧が OC しきい値を下回るまでの短時間の間、無効のままにする必要があります。この時間は、全 OC ブランキング時間と呼ばれ、内部ブランキング時間 $t_{OC(BLANKING)}$ (図 20) および、内部充電電流、OC 電圧しきい値、外部ブランキング・コンデンサによって決定される外部ブランキング時間の両方によって制御されます。

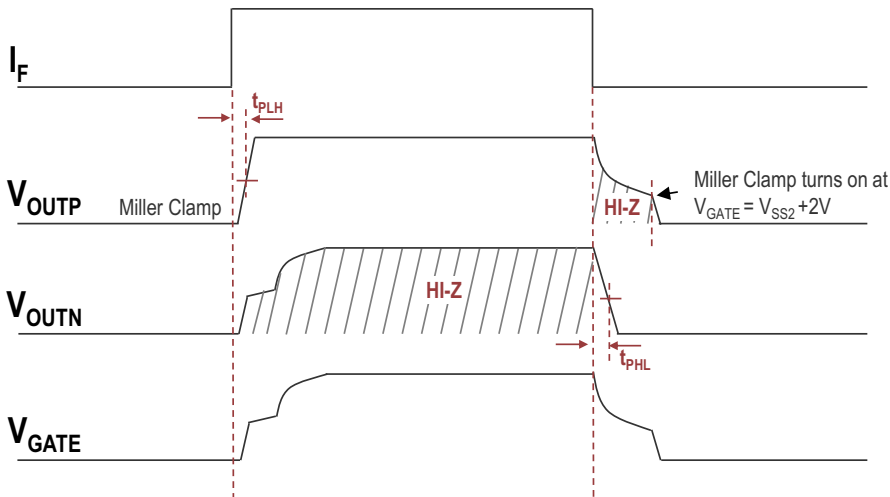
全ブランキング時間は、以下のように、内部ブランキング時間 ($t_{OC(BLANKING)}$)、外部ブランキング・コンデンサ (C_{BLANK})、FAULT しきい値電圧 (V_{OC})、およびブランキング・コンデンサ充電電流 (I_{CHG}) を考慮して計算されます。

$$t_{BLANK} = t_{OC(BLANKING)} + C_{BLANK} \times (V_{OC} / I_{CHG})$$

ゲート駆動とミラー・クランプの説明

ゲート・ドライバは LED 電流によって、直接制御されます。LED 電流が流れると、ACPL-351J の出力は最大 5A のソース電流を提供することで、IGBT/MOSFET のゲートを駆動することができます。LED がオフに切り替えられると、ゲート・ドライバは最大 5A のシンク電流を提供し、ゲートを高速でオフに切り替えることができます。図 21 に示すように、出力電圧が V_{SS2} に対して約 2V に達すると、追加のミラー・クランプ用の引き下げトランジスタがアクティブ化され、ミラー・クランプに低インピーダンスの電流経路を提供します。

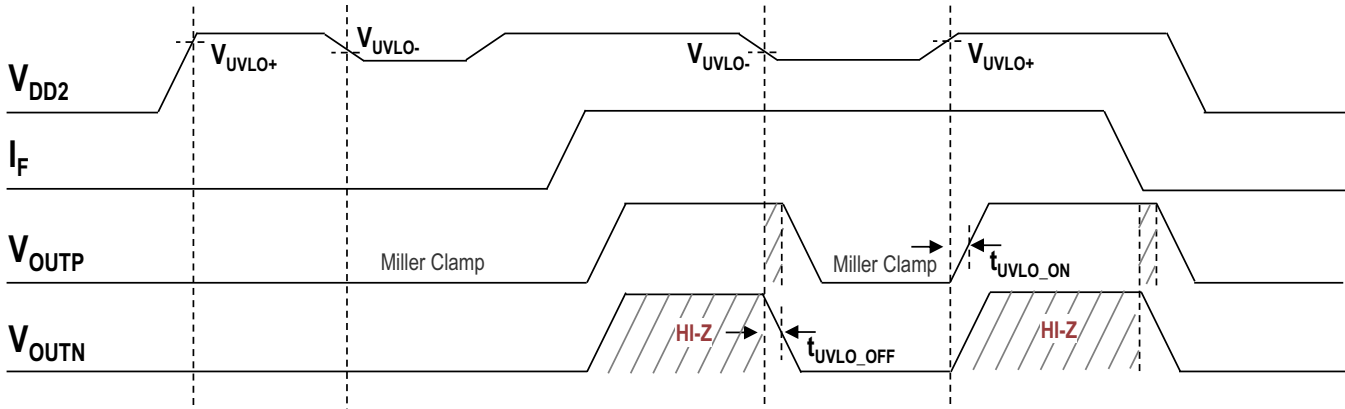
図21： Gate Drive Signal Behavior



低電圧ロックアウトの説明

IGBT/MOSFET へのゲート電圧が不十分になると、IGBT/MOSFET のオン抵抗が増えるため、電力損失が大きくなり、高い熱放散によって IGBT/MOSFET が損傷することがあります。ACPL-351J は、常時、出力電源 (V_{DD2}) を監視しています。出力電源が低電圧ロックアウト (UVLO) しきい値を下回ると、IGBT/MOSFET を低電圧バイアスから保護するために、ゲート駆動出力を遮断します。起動時に、低電圧での不要なターンオンを防ぐために、UVLO 機能はゲート駆動の出力をローに固定します。

図22 : Circuit Behaviors at Power Up and Power Down



ゲート抵抗 (R_G) の選択

手順 1: I_{O(PEAK)} 仕様から、R_G 最小値を計算します。図 19 の IGBT/MOSFET と R_G は、ACPL-351J によって電圧が供給されるシンプルな RC 回路に見立てることができます。

$$R_G \geq \frac{V_{DD2} - V_{SS2}}{I_{OPEAK}} - R_{OUTP(MIN)} \quad R_G \geq \frac{V_{DD2} - V_{SS2}}{I_{OPEAK}} - R_{OUTN(MIN)}$$

$$= \frac{20 - (-5)V}{5A} - 0.4\Omega \quad \text{or} \quad = \frac{20 - (-5)V}{5A} = 0.3\Omega$$

$$= 4.6\Omega \quad \quad \quad = 4.7\Omega$$

内部ゲート抵抗 (R_G) と内部最小ターンオン抵抗 (R_{DS(ON)}) は、出力電流がデバイスの絶対最大定格の 5A を超えないように確保します。この場合、最悪のケースとして R_G ≥ 4.8Ω を使用します。

手順 2: ACPL-351J 電力消費を確認し、必要に応じて R_G を増やします。ACPL-351J の総電力消費 (P_T) は、LED 電力 (P_E) と出力 IC 電力 (P_O) の合計になります。

$$P_T = P_E + P_O$$

動作条件は、I_F = 8 mA、R_G = 4.8Ω、最大デューティ・サイクル = 80%、Q_G = 0.5 μC、f = 100 kHz、および T_A = 80°C と仮定します。

LED 電力消費の計算

$$P_E = I_F \times V_F \times \text{Duty Cycle}$$

$$= 8 \text{ mA} \times 1.95 \text{ V} \times 0.8 = 12.5 \text{ mW}$$

出力 IC 電力消費の計算

$$P_O = P_{O(BIAS)} + P_{O(SWITCHING)}$$

$$= I_{DD2} \times (V_{DD2} - V_{SS2}) + P_{HS} + P_{LS}$$

$$P_{HS} = (V_{DD2} \times Q_G \times f) \times R_{OUTP(MAX)} / (R_{OUTP(MAX)} + R_G) / 2$$

$$P_{LS} = (V_{DD2} \times Q_G \times f) \times R_{OUTN(MAX)} / (R_{OUTN(MAX)} + R_G) / 2$$

$$\begin{aligned}
 P_{HS} &= (25V \times 0.5 \mu C \times 100 \text{ kHz}) \times 1.5\Omega / (1.5\Omega + 4.8\Omega) / 2 = 148.81 \text{ mW} \\
 P_{LS} &= (25V \times 0.5 \mu C \times 100 \text{ kHz}) \times 1.2\Omega / (1.2\Omega + 4.8\Omega) / 2 = 125.0 \text{ mW} \\
 P_O &= 7.5 \text{ mA} \times 25V + 148.81 \text{ mW} + 125.0 \text{ mW} \\
 &= 461.3 \text{ mW} < 600 \text{ mW} (P_{O(MAX)} \text{ at } 95^\circ\text{C})
 \end{aligned}$$

前出の式の I_{DD2} の値 7.5 mA は、動作温度範囲全体における最大 I_{CC2} です。

P_O は $P_{O(MAX)}$ 未満のため、 $R_g = 4.8\Omega$ は電力消費に対して正しい値です。

熱計算

ACPL-351J のアプリケーションおよび環境設計では、ゲート駆動フォトカプラ内の内部 IC と LED の接合部温度が 125°C を超えないように確保する必要があります。以下の式は、最大電力消費が接合部の温度に与える影響を計算します。

$$\begin{aligned}
 \text{LED 接合部温度、} T_E &= (A_{EA} \times P_E) + (A_{EO} \times P_O) + T_A \\
 &= (176.1^\circ\text{C/W} \times 12.5 \text{ mW}) + (33.1^\circ\text{C/W} \times 461.3 \text{ mW}) + 80^\circ\text{C} \\
 &= 97.5^\circ\text{C}
 \end{aligned}$$

$$\begin{aligned}
 \text{出力 IC 接合部温度、} T_O &= (A_{EO} \times P_E) + (A_{OA} \times P_O) + T_A \\
 &= (33.1^\circ\text{C/W} \times 12.5 \text{ mW}) + (76.7^\circ\text{C/W} \times 461.3 \text{ mW}) + 80^\circ\text{C} \\
 &= 115.8^\circ\text{C}
 \end{aligned}$$

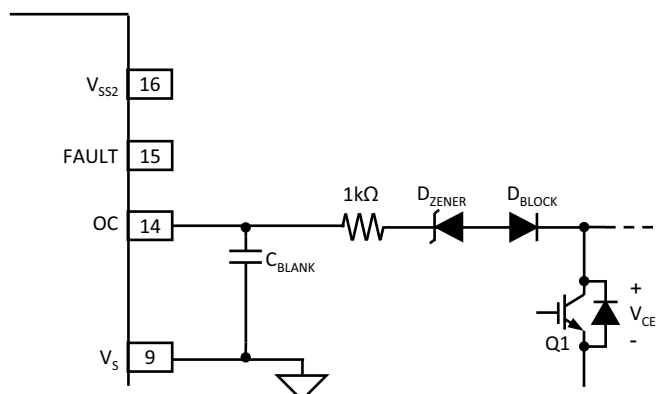
過電流ブロッキング・ダイオードとしきい値

D_{BLOCK} ダイオードの機能は、順電流を伝導することで、IGBT の V_{CE} または MOSFET の V_{DS} が「オン」のときはそれを検出し、「オフ」のときは高電圧をブロックします。

IGBT/MOSFET がオフに切り替わり、 D_{BLOCK} ダイオードの順方向導通が終わりに近づくと、逆電流が短時間流れます。この逆回復効果により、ダイオードは、接合部の可動電荷が使い果たされるまで、ブロック機能を実行できません。この間、一般に、IGBT/MOSFET の dV/dt 電圧立ち上がりレートは非常に高くなります。この結果、 $I_{CHARGE} = C_{D-BLOCK} \times dV/dt$ 充電電流となり、ブランキング・コンデンサ C_{BLANK} が充電されます。この充電電流を最小にし、過電流の誤ったトリガを避けるための最適な方法が、高速応答ダイオードを使用することです。

図 23 に示す推奨応用回路では、ピン 14 (OC) の電圧が $V_{OC} = V_F + V_{CE}$ です (ここで、 V_F は D_{BLOCK} の順方向オン電圧、 V_{CE} は、たとえば、IGBT コレクタ - エミッタ間の電圧です)。OC をトリガして FAULT 状態を通知する $V_{OC,FAULT(TH)}$ の値は、公称 $9V - V_F$ です。必要に応じて、このしきい値電圧は、複数の D_{BLOCK} ダイオードまたは低電圧ツェナー・ダイオードを直列に使用することで、下げることができます。 D_{BLOCK} ダイオードの数が n の場合、公称しきい値は $V_{OC,FAULT(TH)} = 9V - n \times V_F$ になります。ツェナー・ダイオードを使用した場合、公称しきい値は $V_{OC,FAULT(TH)} = 7V - V_F - V_Z$ になります。1 個ではなく 2 個のダイオードを使用する場合、必要な最大逆電圧定格の半分のダイオードを選択できます。

図23： OC Blocking Diodes and Threshold



OC ピン保護抵抗

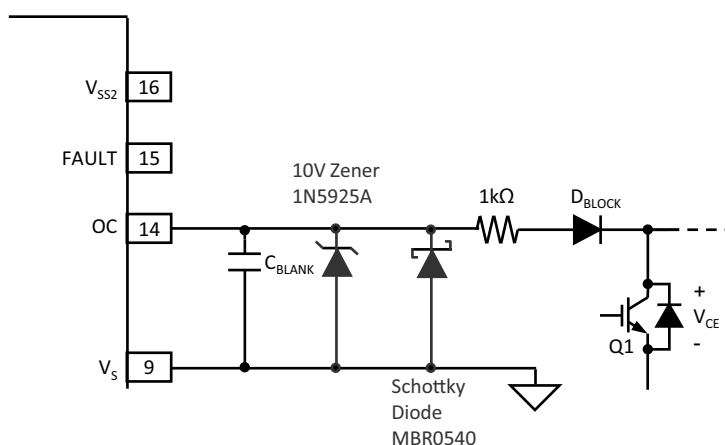
IGBT/MOSFET に接続されたフライバック・ダイオードの還流（フリーホイール）は、ダイオードの公称順電圧を大きく超えた過渡順電圧を瞬間的に発生させることがあります。これが OC ピンで大きな負電圧スパイクを引き起こし、保護機能が使用されていない場合は、ドライバからかなりの量の電流が引き出されることがあります。この電流をドライバIC が損傷しないレベルに制限するために、 D_{BLOCK} ダイオードと直列に $1\text{ k}\Omega$ の抵抗を挿入します。

誤フォルト防止ダイオード

ドライバに誤フォルト信号を生成させることのある状況の 1 つが、ドライバ IC に構造上形成されるサブストレート・ダイオードが順方向にバイアスされている場合です。これは、IGBT/MOSFET 還流ダイオードからの逆回復スパイクによって、OC ピンがグランド電圧を下回った場合に起こることがあります。これにより、OC ピン電圧はしきい値電圧より上に「持ち上げられます」。この負方向の電圧スパイクは、一般に、IGBT/MOSFET 還流ダイオードの誘導負荷または逆回復スパイクによって生成されます。誤フォルト信号を防ぐために、ツェナー・ダイオードとショットキー・ダイオードを OC ピンと V_S ピンの間に接続します。

この回路構成例を 図 24 に示します。ショットキー・ダイオードは、ゲート駆動フォトカプラのサブストレート・ダイオードが順方向にバイアスされるのを防ぎ、ツェナー・ダイオード（値は約 10V ）は OC ピンに影響する正の高過渡電圧を防ぐために使用されます。

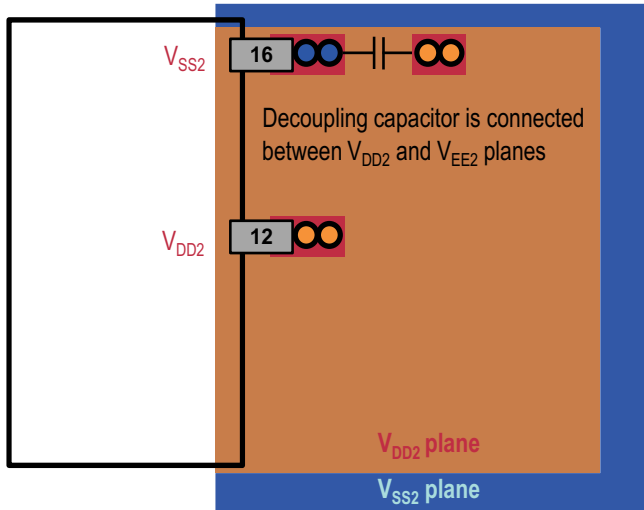
図24： False Fault Prevention Diodes



電源およびグランドプレーンのレイアウトと負荷条件

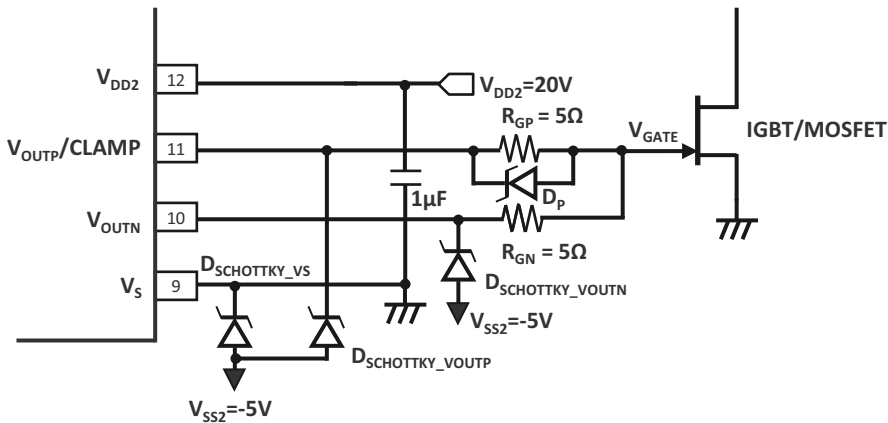
5A 定格の高電流スイッチングでは、デカップリング・コンデンサを V_{DD} ピンと V_{SS} ピン付近に配置する必要があります。スイッチングが高速で行われることから、寄生インダクタンスを下げてノイズを防止するため、 V_{DD} および V_{SS} プレーンを広くとることが推奨されます。 V_{DD} および V_{SS} プレーンがない場合は、出力ノイズを防ぐために、すべての用途または基板試験で、合計 2 nF 以上の負荷を接続することを推奨します。

図25 : Recommended V_{DD2} and V_{SS2} , Supply and Ground Planes Layout.



出力ノイズ防止ダイオード

図26 : Recommended Schottky Diodes to Prevent Output Noise



出力 V_{GATE} は、寄生インダクタンスによって引き起こされる負の過渡電流によって妨げられることがあります。 V_{OUT} または V_S の電圧が考えられる最大の負電圧 V_{SS} を下回ると、これによって、 V_{GATE} でノイズが発生する可能性があります。これらのノードのいずれかで寄生インダクタンスによって引き起こされる負の過渡電流が発生する場合は、ノイズを防ぐために、ショットキー・ダイオード $D_{SCHOTTKY_VOUTP}$ 、 $D_{SCHOTTKY_VOUTN}$ 、または $D_{SCHOTTKY_VS}$ を使用できます。

Broadcom、パルス・ロゴ、Connecting everything、Avago Technologies、Avago、および A ロゴは、アメリカ合衆国、他の国々および / または EU における Broadcom および / または関連会社の商標です。

Copyright © 2019 Broadcom. All Rights Reserved.

用語「Broadcom」は、Broadcom Inc. および / またはその子会社を指します。詳細は、www.broadcom.com をご覧ください。

Broadcom は、信頼性、機能または設計を改善するために、本書の製品またはデータを通知なしに変更する権利を留保します。Broadcom によって提供される情報の正確さと信頼性には細心の注意を払っています。しかしながら、Broadcom は、この情報の適用または使用、あるいは本書に記載された製品または回路の適用または使用から生じるいかなる責任も負わず、特許権や他の権利によるいかなるライセンスも譲渡しません。