

ACPL-0873

シグマ - デルタ変調器用 3 チャンネル デジタル フィルタ

概要

Broadcom[®] ACPL-0873 は、電圧および電流の検出において、特に 2 次シグマ-デルタ変調器向けに設計された 3 チャンネル・デジタル・フィルタです。各入力チャンネルは、独立したシグマ-デルタ ($\Sigma\Delta$) 変調器のビット・ストリームを受信できます。ビット・ストリームは 3 個の個別のデジタル・デシメーション・フィルタによって処理されます。デジタル・フィルタの特長には、Sinc2 モードの 4 つのデシメーション比、Sinc3 モードの 3 つのデシメーション比、オフセット較正、高速オーバーレンジ検出が含まれます。

ACPL-0873 は、3 チャンネルについて、過電圧/電流状態を示す過電流信号を出力します。ACPL-0873 は、SPI コンパチのインターフェースを介してマイクロコントローラに直接接続され、16ビット・デジタル・フィルタ・データを出力し、フィルタ・レジスタに対する書き込み/読み取りを行います。

特長

- 絶縁型シグマ-デルタ変調器と MCU/DSP との間の直接インターフェース
- 3 個の個別のデジタル・フィルタ
- 高速オーバーレンジ検出
- オフセット較正
- 起動時のチャンネル 1 MCLK クロック検出
- プログラム可能な入力構成
- SPI コンパチのインターフェース
- コンパクトな表面実装：QFN-20 5 mm × 5 mm

仕様

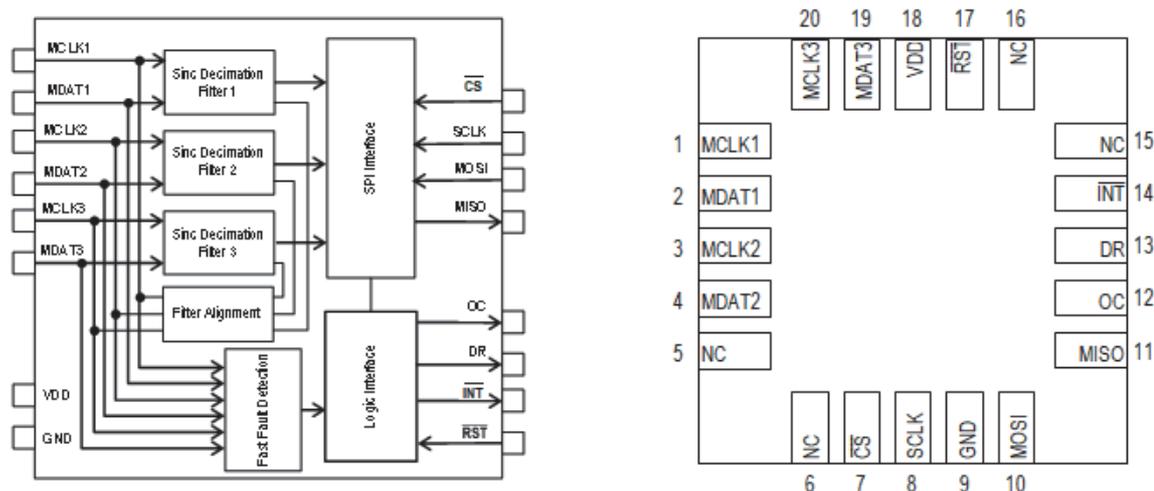
- 動作温度：-40°C ~ 125°C
- SPI クロック周波数：最大 17 MHz
- 変調器クロック周波数：最大 25 MHz

応用例

- モータ相およびレール電流検出
- 電力インバータの電流および電圧検出
- 産業プロセス制御
- データ収集システム
- 汎用電圧または電流検出

回路図およびパッケージのピン配置

図 1： 回路図およびパッケージのピン配置



注： VDD と GND の間に 0.1 μF および 1 μF のバイパス・コンデンサを配置することを推奨します。

表 1： ピン機能の説明

ピン番号	ピン名	概要	タイプ
1	MCLK1	チャンネル 1 クロック	入力
2	MDAT1	チャンネル 1 データ。MDAT1 の入力データは、MCLK1 の立上りエッジでクロックインされます。	入力
3	MCLK2	チャンネル 2 クロック	入力
4	MDAT2	チャンネル 2 データ。MDAT2 の入力データは、MCLK2 の立上りエッジでクロックインされます。	入力
5	NC	未接続	
6	NC	未接続	
7	$\overline{\text{CS}}$	チップ・セレクト。SPI インターフェースとデジタル・フィルタ変換のアクティブ・ローのチップ・セレクトは、 $\overline{\text{CS}}$ の立下りエッジで開始されます。	入力
8	SCLK	SPI クロック入力	入力
9	GND	グラウンド	電源入力
10	MOSI	SPI データ Master Out Slave In (マスター・アウト・スレーブ・イン)	入力
11	MISO	SPI データ Master In Slave Out (マスター・イン・スレーブ・アウト)	出力
12	OC	過電流	出力
13	DR	データ・レディ。 1. DR ピンが High の場合は、デジタル・フィルタ・データ変換の準備が整っていることを示しています。 2. $\overline{\text{CS}}$ が High になると、DR ピンは自動的にクリアされ Low になります。	出力
14	$\overline{\text{INT}}$	割り込み、アクティブ・ロー	出力
15	NC	未接続	
16	NC	未接続	
17	$\overline{\text{RST}}$	リセット。アクティブ・ロー、期間 100 μs 以上。	入力
18	VDD	電源	電源入力
19	MDAT3	チャンネル 3 データ。MDAT3 の入力データは、MCLK3 の立上りエッジでクロックインされます。	入力
20	MCLK3	チャンネル 3 クロック	入力

図 2 : ACPL-0873 パッケージ寸法図

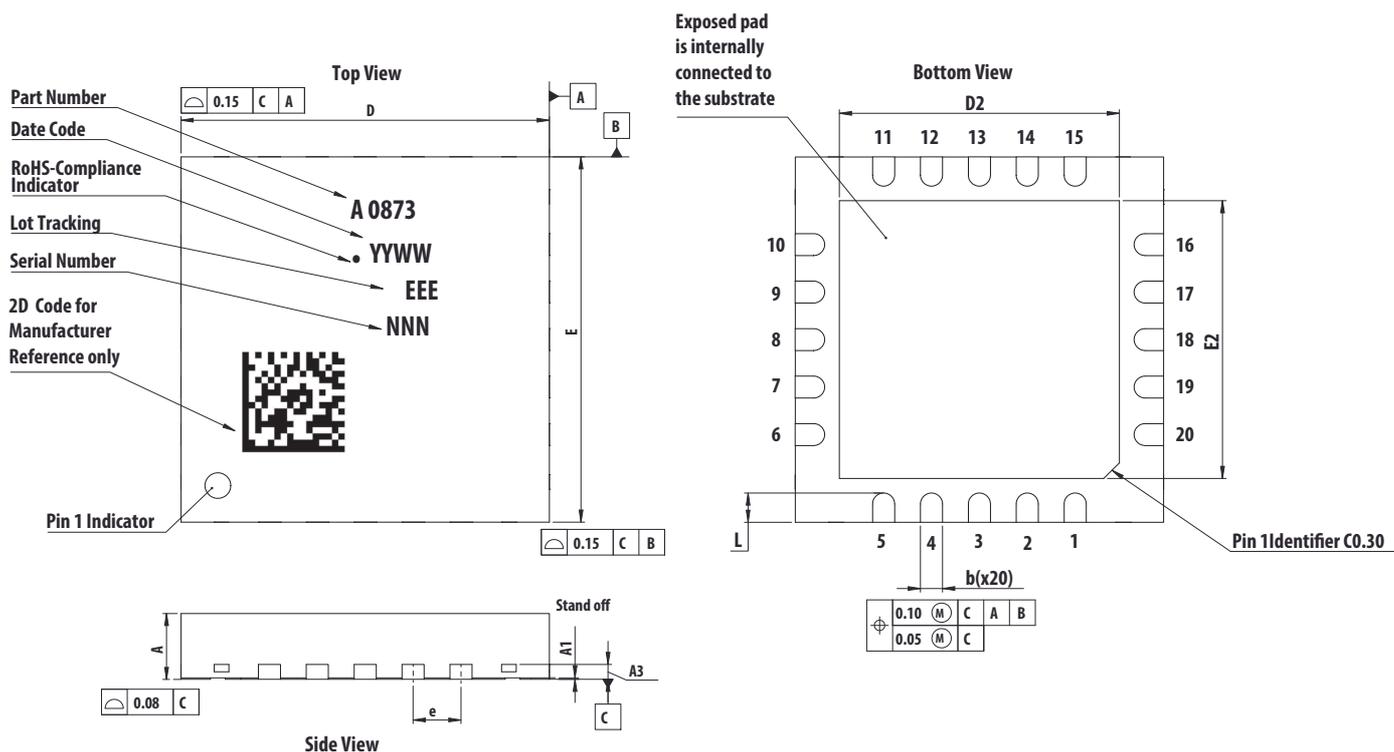
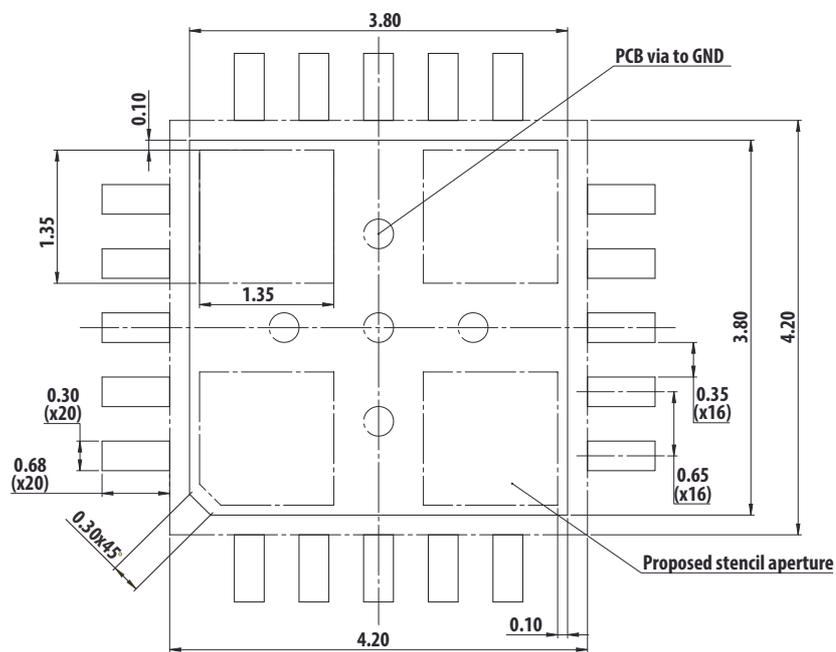


図 3 : 推奨ランド・パターン



注： すべての NC ピンを GND に接続します。

表 2：寸法

	寸法					
	ミリメートル			インチ		
	最小	標準	最大	最小	標準	最大
A	0.850	0.900	0.950	0.033	0.035	0.037
A1	0.000	0.020	0.040	0.000	0.001	0.002
A3	0.203 REF			0.008 REF		
b	0.250	0.300	0.35	0.010	0.012	0.014
D	4.850	5.000	5.150	0.191	0.197	0.203
E	4.850	5.000	5.150	0.191	0.197	0.203
D2	3.700	3.800	3.900	0.146	0.150	0.154
E2	3.700	3.800	3.900	0.146	0.150	0.154
e	0.650 REF			0.026 REF		
L	0.350	0.400	0.450	0.014	0.016	0.018

オーダ情報

型名	オプション (RoHS 指令準拠)	パッケージ	表面実装	テープ & リール	梱包単位
ACPL-0873	-500E	QFN-20	X	X	2000 個/リール

ご注文の際は、型名欄から選択した製品型名とオプション欄のご希望のオプションとを組み合わせで発注してください。

例：

QFN-20 表面実装パッケージ、テープ & リール梱包、RoHS 指令準拠の製品をご希望の場合は、ACPL-0873-500E。詳細は、Broadcom の正規販売代理店までお問い合わせください。

推奨鉛フリー IR プロファイル

JEDEC 規格 J-STD-020（最新版）に準拠したリフロー条件を推奨。

注： 非ハロゲン化物系フラックスを使用してください。

絶対最大定格

Parameter	Symbol	Min.	Max.	Units	Note
Storage Temperature	T_S	-55	150	°C	
Junction Temperature	T_J	-55	150	°C	
Ambient Operating Temperature	T_A	-40	125	°C	
Supply Voltage	V_{DD}	-0.5	6	Volts	
Input Voltage	All Inputs	-0.5	$V_{DD} + 0.5$	Volts	a
Output Voltage	All Outputs	-0.5	$V_{DD} + 0.5$	Volts	a

a. Do not exceed 6V.

推奨動作条件

Parameter	Symbol	Min.	Max.	Units	Figure	Notes
Ambient Operating Temperature	T_A	-40	125	°C		
Supply Voltage	V_{DD}	3	5.5	Volts		
Input / Output Voltage		0	V_{DD}	Volts		

DC 電気特性仕様

All minimum/maximum specifications are at recommended operating conditions. Unless otherwise noted, all typical values at $T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$.

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Figure	Note
Power Supply Current	I_{DD1}	—	3.6	8	mA	3 channels $f_{MCLK} = 20\text{ MHz}$, SPI $f_{SCLK} = 17\text{ MHz}$	7	
	I_{DD2}	—	3	6.5		3 channels $f_{MCLK} = 20\text{ MHz}$, no SPI clock		
Quiescent Power Supply Current	I_{DDQ}	—	—	1	μA	All 3 channels MCLK and MDAT short to GND, no SPI clock		
Input Voltage High Level	V_{IH}	$0.7 \times V_{DD}$	—	—	Volts			
Input Voltage Low Level	V_{IL}	—	—	$0.3 \times V_{DD}$	Volts			
DC Input Current	I_{IN}	—	—	10	μA			
Output Voltage High	V_{OH}	$0.8 \times V_{DD}$	—	—	V	$I_{OH} = 4\text{ mA}$		
Output Voltage Low	V_{OL}	—	—	0.4	V	$I_{OL} = 4\text{ mA}$		

スイッチング特性仕様

All minimum/maximum specifications are at recommended operating conditions. All input signals are specified with $t_R = t_F = 5$ ns (10% to 90% of V_{DD}) and timed at 50% voltage level. Unless otherwise noted, all typical values at $T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$.

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Figure	Note
Modulator Clock Frequency	f_{MCLK}	—	—	25	MHz			
Modulator Clock Duty Cycle	DC_{MCLK}	40	—	70	%			
MDAT Setup Time before MCLK Rising Edge	t_{MDAT_S}	10	—	—	ns		4	
MDAT Hold Time after MCLK Rising Edge	t_{MDAT_H}	3	—	—	ns		4	
SPI Clock Frequency	f_{SCLK}	—	—	17	MHz	$4.5\text{V} \leq V_{DD} \leq 5.5\text{V}$		
		—	—	13		$3.0\text{V} \leq V_{DD} \leq 5.5\text{V}$		
SPI Clock Duty Cycle	DC_{SCLK}	40	—	60	%			
SPI MOSI Setup Time	t_{MOSI_S}	3	—	—	ns		5	
SPI MOSI Hold Time	t_{MOSI_H}	3	—	—	ns		5	
SPI Clock Falling Edge to MISO Valid	t_{MISO_V}	—	—	20	ns	$4.5\text{V} \leq V_{DD} \leq 5.5\text{V}$	6	
		—	—	28		$3.0\text{V} \leq V_{DD} \leq 5.5\text{V}$		
Delay Time from \overline{CS} Low to First Rising Edge of SCLK	t_{D1}	150	—	—	ns		12, 13	
Delay Time from Last Rising Edge of SCLK to \overline{CS} High	t_{D2}	150	—	—	ns		12, 13, 14	
Delay Time from DR high to Start of First SCLK	t_{DR}	150	—	—	ns		14	
Chip Select High Time	t_{CS_H}	200	—	—	ns		15	

図4 : MDAT and MCLK Timing Chart

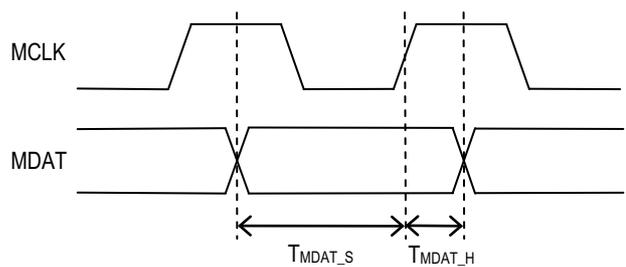


図5 : SPI Input Write Timing Chart

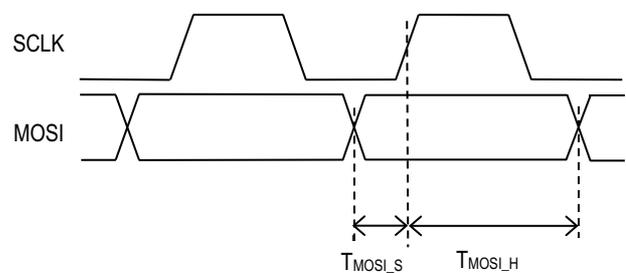


図6 : SPI Output Read Timing Chart

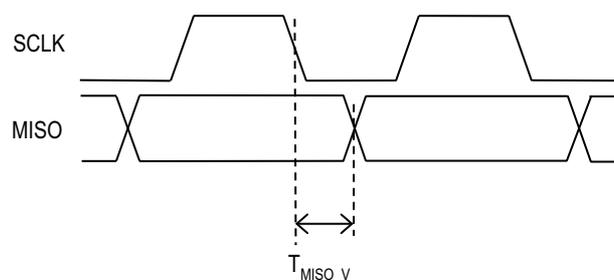
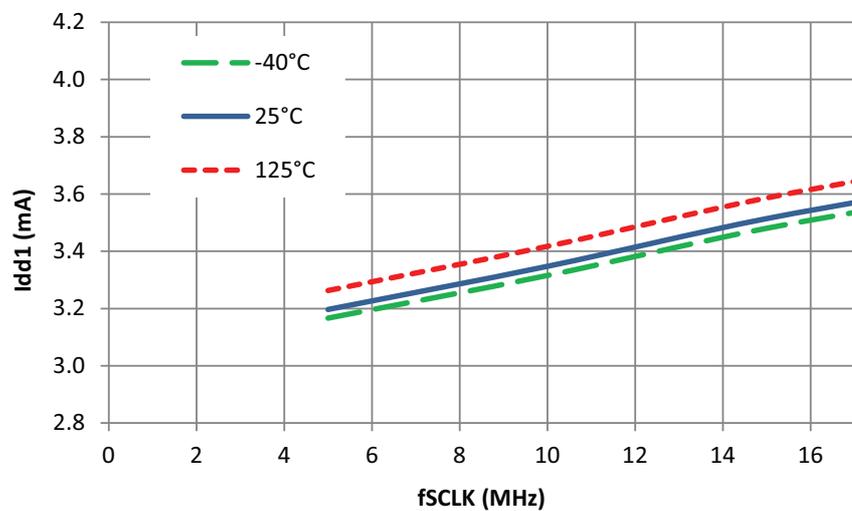


図 7 : Power Supply Current vs. SPI Clock Frequency



レジスタの設定

Register Address	Description	Default Value	Type
0x00	Filter setting	0x00	Read/Write
0x01	Channel selection & over-range setting	0x00	Read/Write
0x02	Interrupt status	0x00	Read Only
0x03	Interrupt enable	0x80	Read/Write
0x04	Offset Register for Channel 1 (MSB byte)	0x80	Read Only
0x05	Offset Register for Channel 1 (LSB byte)	0x00	Read Only
0x06	Offset Register for Channel 2 (MSB byte)	0x80	Read Only
0x07	Offset Register for Channel 2 (LSB byte)	0x00	Read Only
0x08	Offset Register for Channel 3 (MSB byte)	0x80	Read Only
0x09	Offset Register for Channel 3 (LSB byte)	0x00	Read Only

レジスタ 0 (アドレス 0) : フィルタの設定

7	6	5	4	3	2	1	0
NA	Cal	Off_en	NA	Filter	NA	DC1	DC0

Default: 0x00 (Read/Write)

Filter	DC1	DC0	Decimation Ratio	Filter Type
0	0	0	1024	SINC2
0	0	1	512	SINC2
0	1	0	256	SINC2
0	1	1	128	SINC2
1	0	0	256	SINC3
1	0	1	128	SINC3
1	1	0	64	SINC3

Filter	Filter Type
0	Sinc2 Filter
1	Sinc3 Filter

Off_en	Offset Enable
0	Filter data without offset
1	Filter data with offset

Cal	Calibration Offset and Store in Offset Registers
0	No offset action
1	Capture offset data and store in Offset Registers

レジスタ 1 (アドレス 1) : チャンネル選択およびオーバーレンジ設定

7	6	5	4	3	2	1	0
OV3	OV2	OV1	OV0	NA	NA	SEL1	SELO

Default: 0x00 (Read/Write)

SEL1	SELO	Channel Filter Operation Selection
0	0	Channel 1 Only
0	1	Channel 1 Only
1	0	Channel 1 and Channel 2 only
1	1	Channel 1, Channel 2, and Channel 3

OV3	OV2	OV1	OV0	Persistence of Continuous "1" or "0" Bit in MDAT Bit Stream
0	0	0	0	0 (No over-range detection)
0	0	0	1	2
0	0	1	0	4
0	0	1	1	6
0	1	0	0	8
0	1	0	1	10
0	1	1	0	12
0	1	1	1	14
1	0	0	0	16
1	0	0	1	18
1	0	1	0	20
1	0	1	1	22
1	1	0	0	24
1	1	0	1	26
1	1	1	0	28
1	1	1	1	30

注: OV setting applied to channel 1, channel 2, and channel 3

レジスタ 2 (アドレス 2) : 割り込みステータス

7	6	5	4	3	2	1	0
NA	NA	NA	NA	OV_CH3	OV_CH2	OV_CH1	DR

Default: 0x00 (Read only)

DR	Data Ready
0	Data not ready (ADC conversion in progress or not started)
1	ADC data ready to output

OV_CH1	Over-Range Trigger Status for Channel 1
0	No trigger for Channel 1 over-range
1	Triggered for Channel 1 over-range

OV_CH2	Over-Range Trigger Status for Channel 2
0	No trigger for Channel 2 over-range
1	Triggered for Channel 2 over-range

OV_CH3	Over-Range Trigger Status for Channel 3
0	No trigger for Channel 3 over-range
1	Triggered for Channel 3 over-range

注 :

- Interrupt status flag cleared after read from Interrupt register.
- Data Ready status for channel 1, channel 2, and channel 3. DR status output to DR pin.
- If more than one channel is turned on, Data Ready is from the slowest channel.

レジスタ 3 (アドレス 3) : 割り込みの有効化

7	6	5	4	3	2	1	0
MCLK1_E	NA	NA	NA	OV_CH3_E	OV_CH2_E	OV_CH1_E	DR_E

Default: 0x80 (Read/Write)

DR_E	Data Ready
0	Data Ready signal not output to Interrupt Pin \overline{INT}
1	Data Ready signal output to Interrupt Pin \overline{INT}

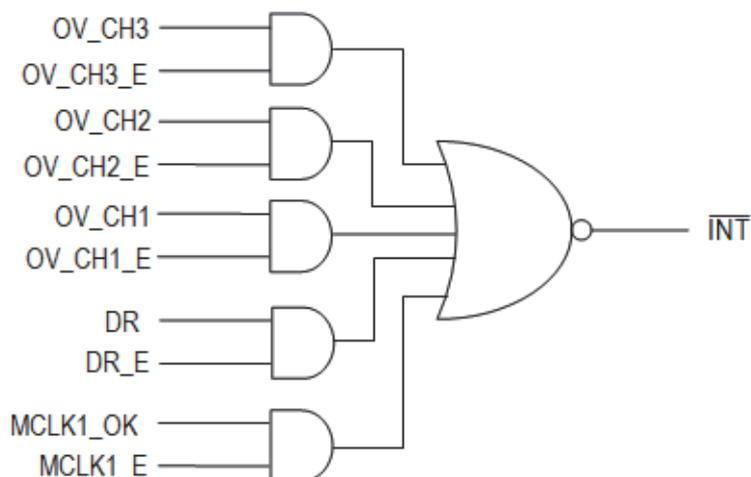
OV_CH1_E	Over-Range Trigger Status for Channel 1
0	Trigger for Channel 1 over-range status not output to \overline{INT}
1	Trigger for Channel 1 over-range status output to \overline{INT}

OV_CH2_E	Over-Range Trigger Status for Channel 2
0	Trigger for Channel 2 over-range status not output to \overline{INT}
1	Trigger for Channel 2 over-range status output to \overline{INT}

OV_CH3_E	Over-Range Trigger Status for Channel 3
0	Trigger for Channel 3 over-range status not output to \overline{INT}
1	Trigger for Channel 3 over-range status output to \overline{INT}

MCLK1_E	MCLK1 Activity Enable
0	MCLK1 Activity not output to Interrupt pin \overline{INT}
1	MCLK1 Activity output to Interrupt pin \overline{INT} (default)

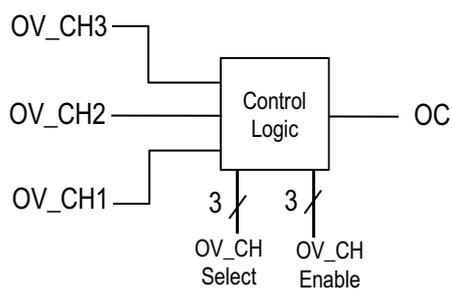
図 8 : Interrupt Pin Implementation



Interrupt Pin Notes:

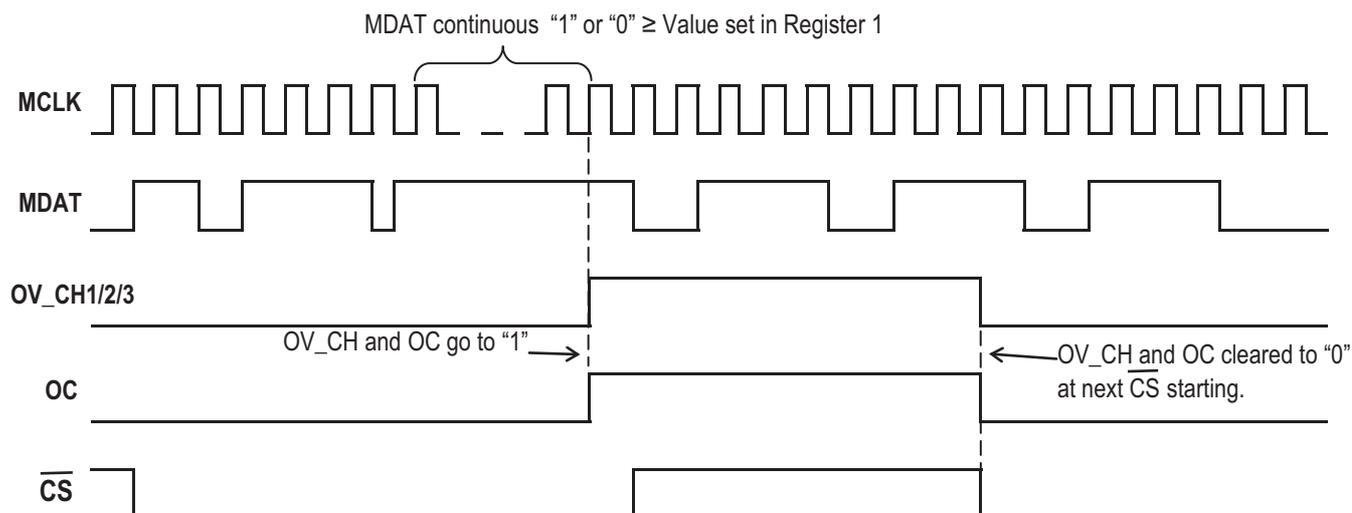
- Interrupt output is active low.
- '0' = Check for interrupt status.
- '1' = No interrupt.

図9 : Over-Current Pin Implementation



1. OV_CH1/2/3 status flag is cleared by reading the Register 2.
2. OC pin is cleared by SPI \overline{CS} High to Low Transition.

図10 : Over-Range Detection Chart



レジスタ 4 (アドレス 4) : チャンネル 1 のオフセット・レジスタ (MSB バイト)

7	6	5	4	3	2	1	0
off_15	off_14	off_13	off_12	off_11	off_10	off_9	off_8

Default: 0x80 (Read Only)

レジスタ 5 (アドレス 5) : チャンネル 1 のオフセット・レジスタ (LSB バイト)

7	6	5	4	3	2	1	0
off_7	off_6	off_5	off_4	off_3	off_2	off_1	off_0

Default: 0x00 (Read Only)

レジスタ 6 (アドレス 6) : チャンネル 2 のオフセット・レジスタ (MSB バイト)

7	6	5	4	3	2	1	0
off_15	off_14	off_13	off_12	off_11	off_10	off_9	off_8

Default: 0x80 (Read Only)

レジスタ 7 (アドレス 7) : チャンネル 2 のオフセット・レジスタ (LSB バイト)

7	6	5	4	3	2	1	0
off_7	off_6	off_5	off_4	off_3	off_2	off_1	off_0

Default: 0x00 (Read Only)

レジスタ 8 (アドレス 8) : チャンネル 3 のオフセット・レジスタ (MSB バイト)

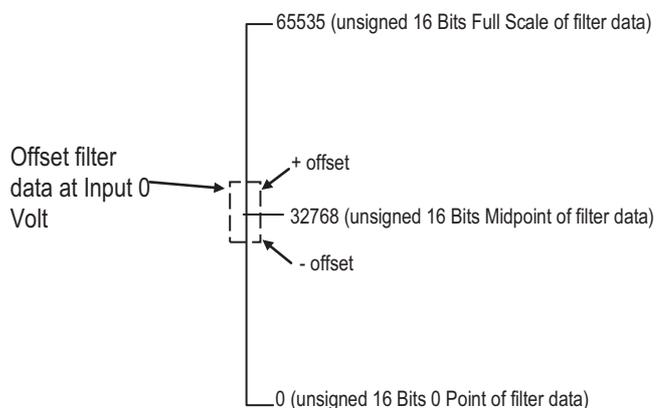
7	6	5	4	3	2	1	0
off_15	off_14	off_13	off_12	off_11	off_10	off_9	off_8

Default: 0x80 (Read Only)

レジスタ 9 (アドレス 9) : チャンネル 3 のオフセット・レジスタ (LSB バイト)

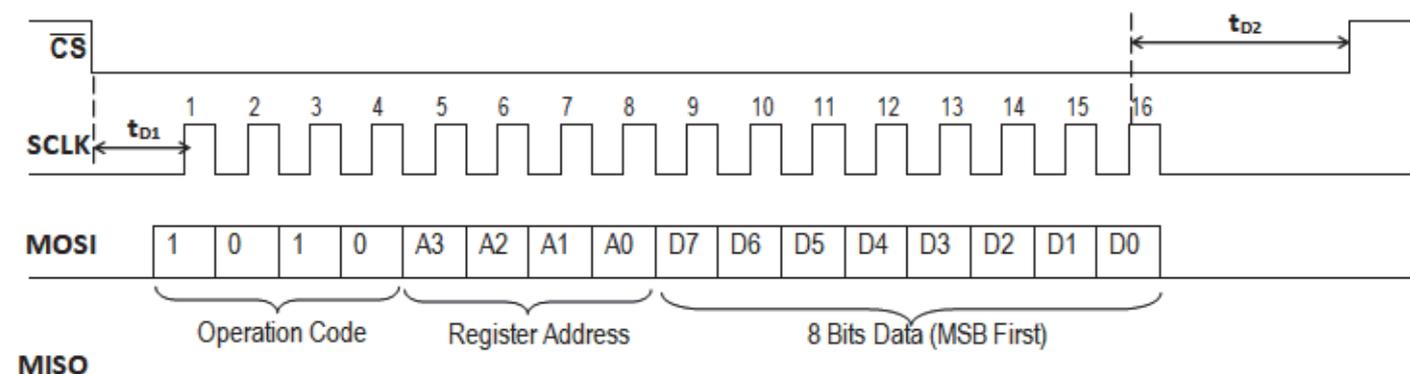
7	6	5	4	3	2	1	0
off_7	off_6	off_5	off_4	off_3	off_2	off_1	off_0

Default: 0x00 (Read Only)

図 11 : Offset Filter Data

SPI – レジスタ書き込みのタイミングチャート

図 12 : SPI Writing to Registers Timing Chart



Operation code	1010
----------------	------

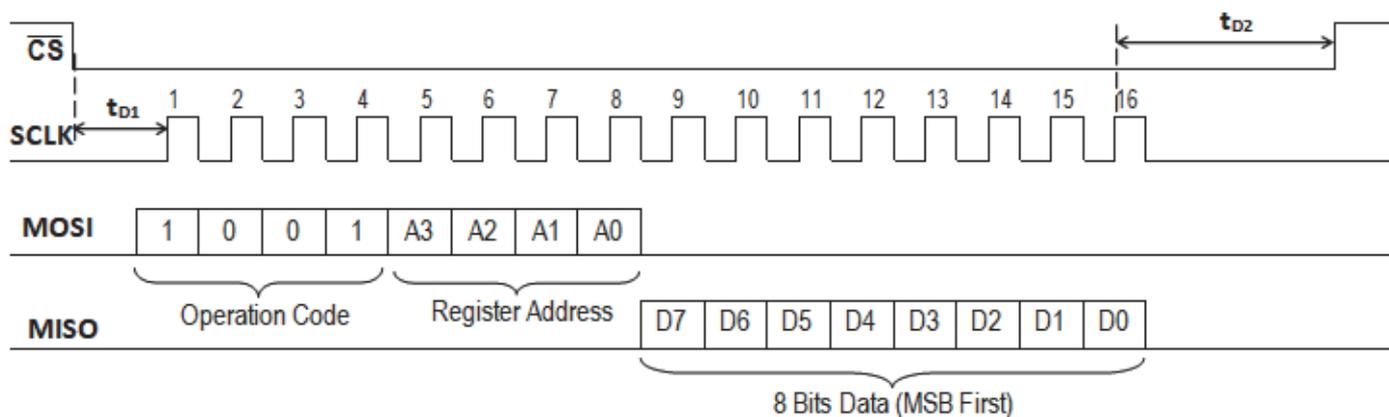
A3	A2	A1	A0	Register Address
0	0	0	0	0x00
0	0	0	1	0x01
0	0	1	1	0x03

8 bits data (MSB first)	D7	D6	D5	D4	D3	D2	D1	D0
-------------------------	----	----	----	----	----	----	----	----

After \overline{CS} goes low, write/read must be in the multiple 16 bits (16 cycles of SCLK).

SPI – レジスタ読み取りのタイミングチャート

図 13 : SPI Read from Registers Timing Chart



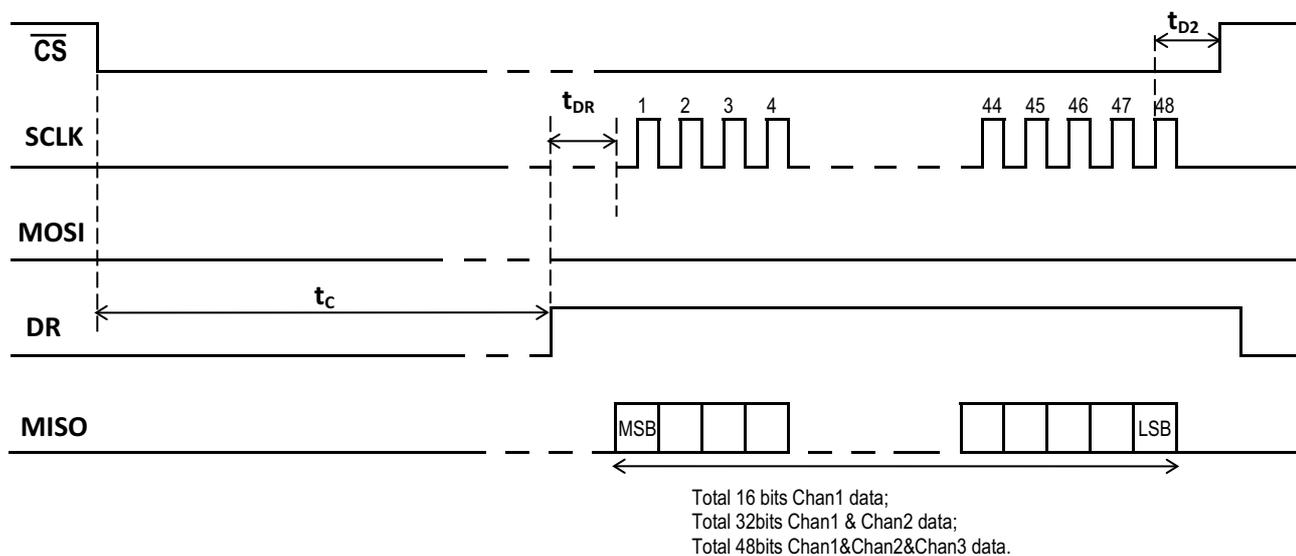
Operation code	1001
----------------	------

A3	A2	A1	A0	Register Address
0	0	0	0	0x00
0	0	0	1	0x01
0	0	1	0	0x02
0	0	1	1	0x03
0	1	0	0	0x04
0	1	0	1	0x05
0	1	1	0	0x06
0	1	1	1	0x07
1	0	0	0	0x08
1	0	0	1	0x09

8 bits data (MSB first)	D7	D6	D5	D4	D3	D2	D1	D0
-------------------------	----	----	----	----	----	----	----	----

SPI – フィルタ・データ読み取りのタイミングチャート

図 14 : SPI Read from Filter's Data Timing Chart



Chan 1 data	16 Bits Chan1 filter data
-------------	---------------------------

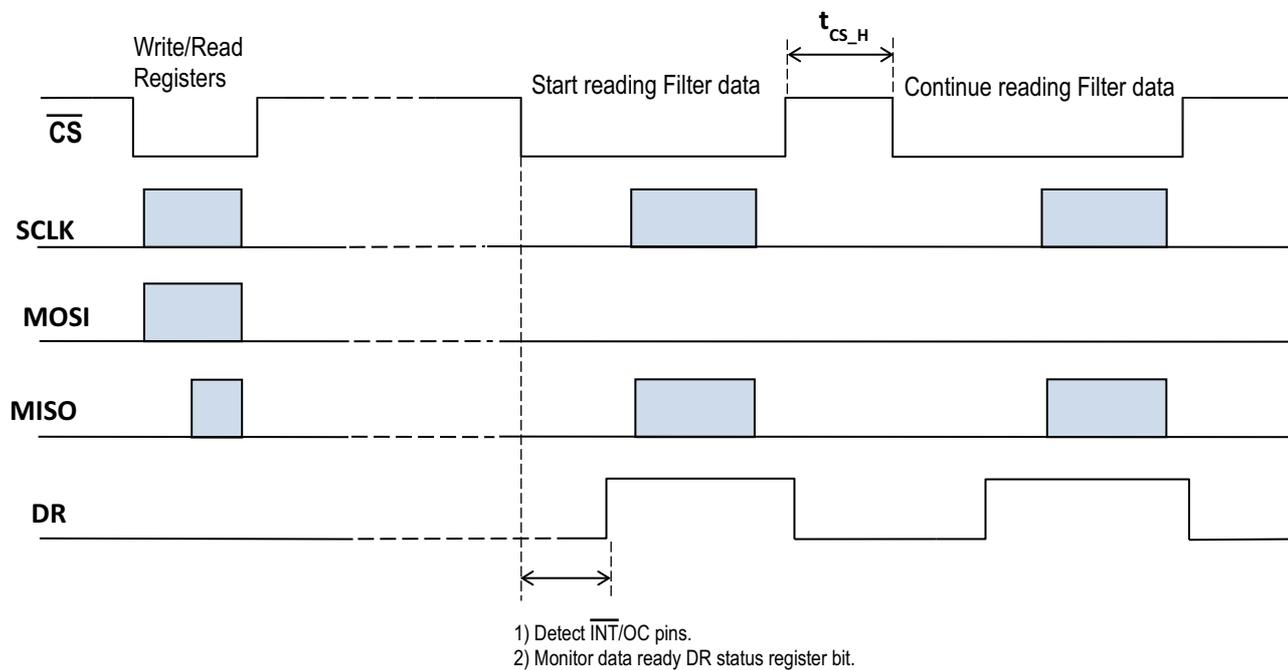
Chan1 data and Chan2 data	16 bits Chan1 filter data	16 bits Chan2 filter data
---------------------------	---------------------------	---------------------------

Chan1 data and Chan2 data and Chan3 data	16 bits Chan1 filter data	16 bits Chan2 filter data	16 bits Chan3 filter data
--	---------------------------	---------------------------	---------------------------

- Filter conversion start after falling edge of \overline{CS} signal.
- After data ready, filters data can be read out in the multiple of 16 bits.
- \overline{CS} signal has two functions: filter conversion start and chip select for SPI interface.
- When \overline{CS} is low, write from and read to registers are allowed.

SPI – 動作の組み合わせ：レジスタ書き込み / 読み取りおよびフィルタ・データ読み取りのタイミングチャート

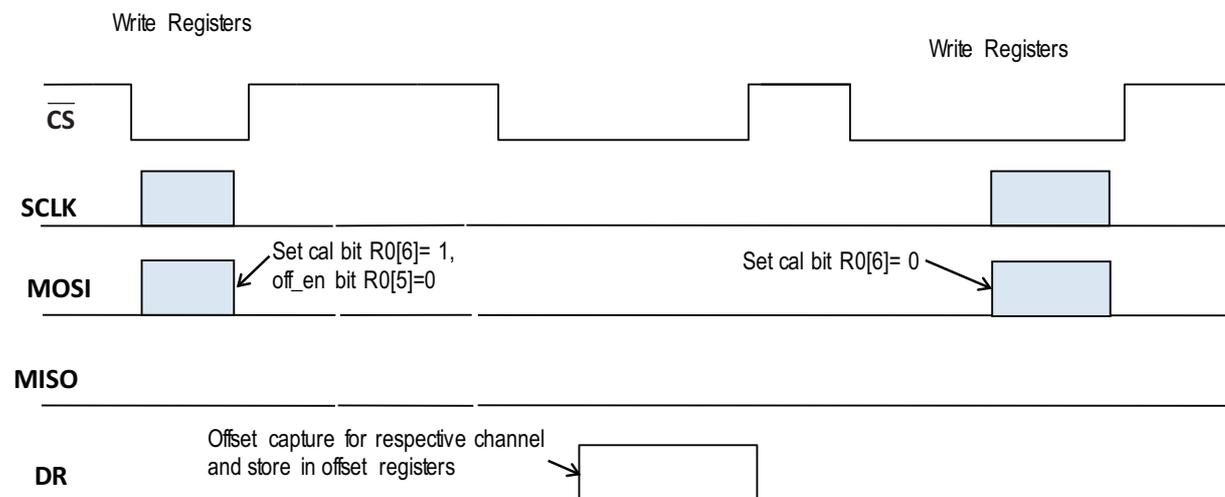
図 15 : SPI Combined Operation: Write/Read Register and Read from Filter's Data Timing Chart



Total 16 bits Chan1 data;
Total 32bits Chan1 & Chan2 data;
Total 48bits Chan1&Chan2&Chan3 data.

SPI – オフセット較正動作

図 16 : SPI Offset Calibration Operation



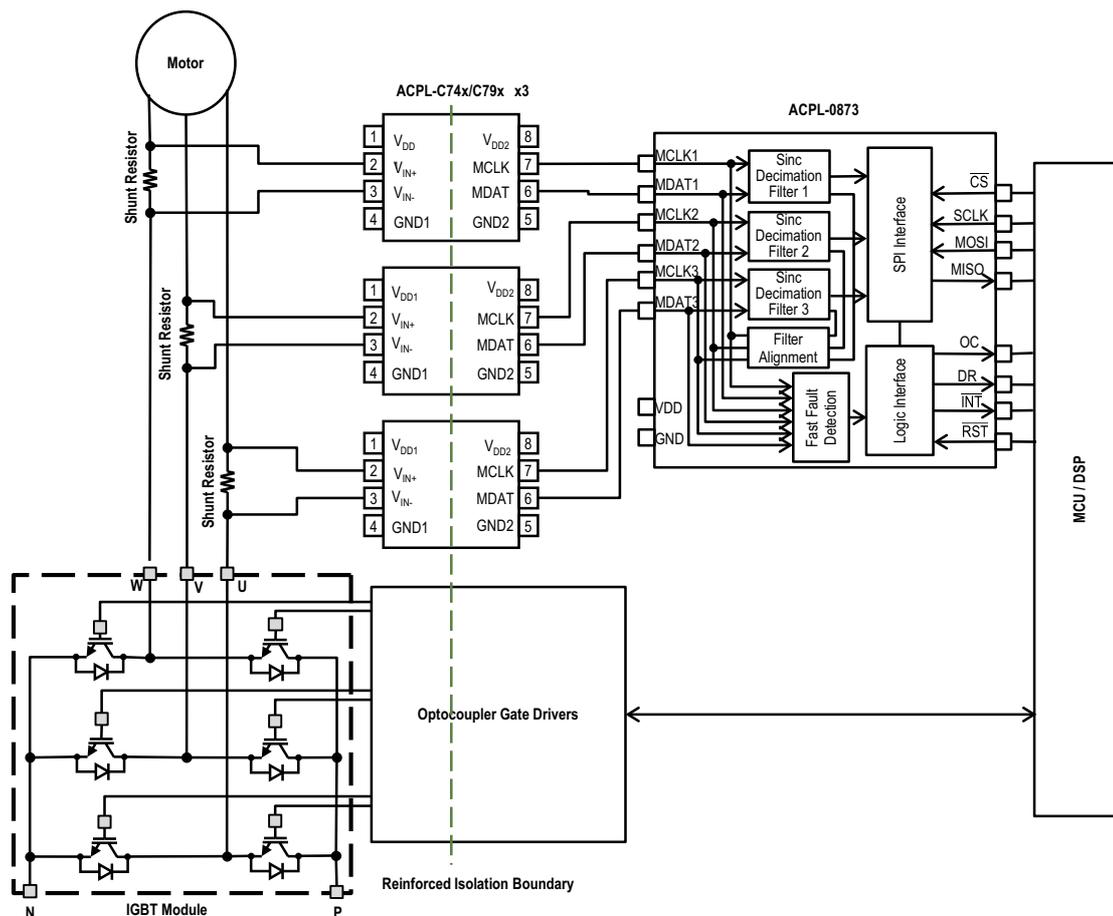
- Physically short Sigma-Delta Modulator input pins V_{in+} and V_{in-} to GND1.
- Set cal bit R0[6] = 1, Set off_en bit R0[5] = 0, Set filter setting to Sinc3 Decimation Ratio 256.
- \overline{CS} goes low until DR goes high to capture the offset and store in offset registers.
- Set cal bit R0[6] = 0.
- To turn on the final filter data with offset, set off_en bit R0[5] = 1.
- To have the final filter data without any offset, set off_en bit R0[5] = 0.

モータ・ドライブ相電流検出における標準的な応用回路

ACPL-0873 フィルタ・モジュールは 3 つの個別のチャンネル用に、2 次または 3 次 Sinc デジタル・フィルタリング・テクノロジーを実装しています。Sinc² モードには 4 つのデシメーション比 (x128、x256、x512、x1024) があり、Sinc³ には 3 つのデシメーション比 (x64、x128、x256) があります。Sinc^K とデシメーション比を組み合わせた、計 7 つのフィルタリング・モードによって高度な柔軟性を提供しています。

ACPL-0873 は、SPI インターフェースを介して MCU および DSP と通信します。SPI インターフェースは入力とは完全に非同期で実行されます。

図 17 : Typical Phase Current Sensing Circuit using ACPL-C74x/C79x and ACPL-0873



閉ループでは、電流フィードバック・モータが図 17 に示すようにアプリケーションを制御し、モータ相電流は超低抵抗のシャント抵抗を通じて電圧に変換されます。ACPL-C74x や ACPL-C79x などの絶縁型シグマ-デルタ変調器は、アナログ電圧信号をシングルビットのデータ・ストリームに変換します。デジタル・フィルタ ASIC ACPL-0873 は、1 ビット・データ・ストリームを 16 ビット・シリアル・デジタル出力に変換する SPI プロトコル・コンパチのインターフェースを備え、マイクロコントローラに直接接続できます。デジタル・フィルタは、1 チャンネル、2 チャンネル、または 3 チャンネルで変換チャンネルを選択できます。

チャンネル 1 MCLK1 は、デバイスの起動時に検出されます。MCLK1 が正常に検出されると、デバイス動作は有効化されます。それ以外の場合は、すべての機能的な動作は無効化され、割り込み出力 INT がアクティブになります。

すべてのチャンネルでシグマ-デルタ変調器は同じ公称クロック周波数であり、チャンネル間の MCLK クロック周波数の差は最大でも 20% 以下です。

ACPL-0873 は SPI スレーブ・デバイスとして動作し、マスター・デバイスはクロック相モードとして CPHA=0、およびクロック極性モードとして CPOL=0 を選択します。MOSI データは SPI クロックの立上りエッジでサンプリングされ、MISO データは SPI クロックの立下りエッジでクロックアウトされます。

熱抵抗

ACPL-0873 IC (ダイ) 接合部温度は、次のように計算されます。

$$T_j = R \times P + T_a$$

定義

R : 接合部-周囲熱抵抗 (°C/W)

P : IC の消費電力 (W)

T_j : IC の接合温度

T_a : 周囲温度

IC は低伝導率テスト基板に実装された状態で測定しました。基板のサイズは、JEDEC 規格に準じて 76.2 mm × 76.2 mm です。測定用に、合計 2 枚の低伝導率基板を用意しました。これらのテスト基板は FR-4 材料で作られ、銅トレースの厚みは低伝導率基板に関する JEDEC 規格に準じています。テスト済みの「良好」なデバイスを測定に使用しました。熱抵抗測定データは、R = 74°C/W です。

付録

表 3 : Digital Filter Typical Conversion Time

Filter (Sinc ^K)	Decimation Ratio (D)	Filter Conversion Time t _c at 10-MHz MCLK (1/t _c)
SINC ²	1024	205 μs (4.88 kHz)
SINC ²	512	102 μs (9.76 kHz)
SINC ²	256	51 μs (19.52 kHz)
SINC ²	128	25 μs (39.04 kHz)
SINC ³	256	77 μs (13.02 kHz)
SINC ³	128	38 μs (26.04 kHz)
SINC ³	64	19 μs (52.08 kHz)

注 : t_c is calculated as: t_c = 1 / f_{MCLK} × D × K.

表 4 : SPI Typical Timing

SPI Clock (MHz)	Time for 8 Bits Write (μs)	Time for 8 Bits Write and 8 Bits Read (μs)	Time for 48 Bits Read (μs)
5	1.60	3.20	9.6
10	0.80	1.60	4.8
15	0.53	1.06	3.18
17	0.47	0.94	2.82

免責事項

Broadcom Inc. が軍用または航空宇宙用として特に指定した Broadcom 部品のみ、軍事/航空宇宙用途または環境での使用を目的としています。ユーザは、そのように指定されていない Broadcom 部品の軍事用途または航空宇宙用途での使用はユーザのみがリスクを負うこと、およびこのような使用に関連するすべての法律および規制の要件への準拠はユーザのみがその責任を負うことを承認し同意するものとします。

Broadcom、パルス・ロゴ、Connecting everything、Avago Technologies、Avago、および A ロゴは、アメリカ合衆国、他の国々および / または EU における Broadcom および / または関連会社の商標です。

Copyright © 2018-2019Broadcom.All Rights Reserved.

用語「Broadcom」は、Broadcom Inc. および/またはその子会社を指します。詳細は、www.broadcom.com をご覧ください。

Broadcom は、信頼性、機能または設計を改善するために、本書の製品またはデータを通知なしに変更する権利を留保します。Broadcom によって提供される情報の正確さと信頼性には細心の注意を払っています。しかしながら、Broadcom は、この情報の適用または使用、あるいは本書に記載された製品または回路の適用または使用から生じるいかなる責任も負わず、特許権や他の権利によるいかなるライセンスも譲渡しません。