

ACFJ-3530T

内蔵フライバック DC-DC コントローラ、 IGBT 非飽和検出、アクティブ・ミラー・クラ ンプ、UVLO フィードバックおよび負バイア ス搭載の車載用ゲート駆動フォトカプラ

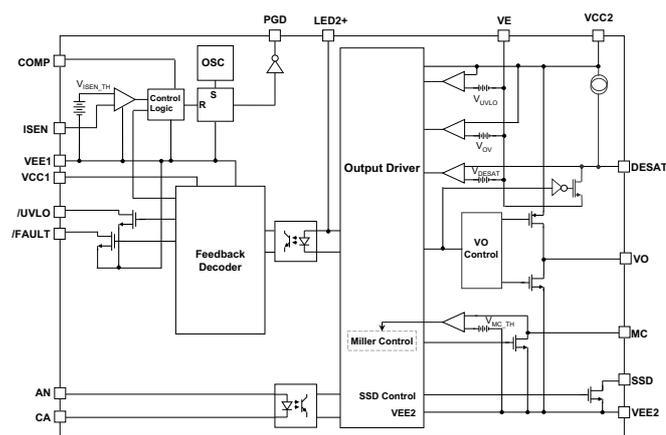
概要

Broadcom® 車載用フォトカプラ・スマート・ゲート・ドライバは、絶縁型 DC-DC コンバータ用のフライバック・コントローラ、ソフト遮断保護とフォルトフィードバックによる IGBT 非飽和検出、フィードバック機能付き低電圧ロックアウト (UVLO)、アクティブ・ミラー電流クランプ機能を内蔵しています。高いタイミングスキュー性能と高速伝達遅延により、優れたタイミング制御と効率を実現します。この多機能のフォトカプラは、省スペースの 0.8 mm ピッチのコンパクトで表面実装可能な SO-24 パッケージに収められ、HEV および EV 用途に適しています。

Broadcom R²Coupler™ 絶縁製品は、自動車および高温産業用途において重要な、安全な信号分離を実現する強化絶縁と信頼性を提供します。

内部ブロック図

図 1: ACFJ-3530T 内部ブロック図



特長

- AEC-Q100 グレード 1 試験ガイドライン準拠
- 車載温度範囲: -40°C ~ +125°C
- 電源制御と診断向けの絶縁型 DC-DC コンバータ用フライバック・コントローラ内蔵
 - 安定化出力電源電圧: 16V ± 5%
 - プログラマブル負電源
 - 電源出力過負荷保護
 - 電源出力短絡保護
 - 負荷ダンプ試験条件と高電力スケールリングに適した外部 1 次スイッチ
- 最小ピーク出力電流: -1.5A/+1.5A
- 最小ミラー・クランプ・シンク電流: 2A
- 最大伝達遅延: 200 ns
- フェイルセーフ IGBT 保護機能内蔵
 - IGBT 非飽和過電流検出、「ソフト」IGBT ターンオフおよびフォルト・フィードバック
 - フィードバック付き低電圧ロックアウト (UVLO)
- 高いノイズ耐性
 - 同相除去 (CMR): VCM = 1500V で 50kV/μs
 - ミラー電流クランプ
 - 低入力インピーダンスと低ノイズ感度による直接 LED 入力
 - 負のゲート・バイアス
- 沿面距離と空間距離が 8 mm の SO-24 パッケージ
- 安全規格認証:
 - UL1577、CSA
 - IEC 60747-5-5

応用例

トラクション・インバータ、充電器、HVAC 向け IGBT/SiC MOSFET ゲート・ドライバ

オーダ情報

型名	オプション (RoHS 指令準拠)	パッケージ	表面実装	テープ & リール	IEC/EN/DIN EN 60747-5-5	梱包単位
ACFJ-3530T	-000E	SO-24	X		X	45 個/チューブ
	-500E		X	X	X	850 個/リール

ご注文の際は、型名欄から選択した製品型名とオプション欄のご希望のオプションとを組み合わせで発注してください。

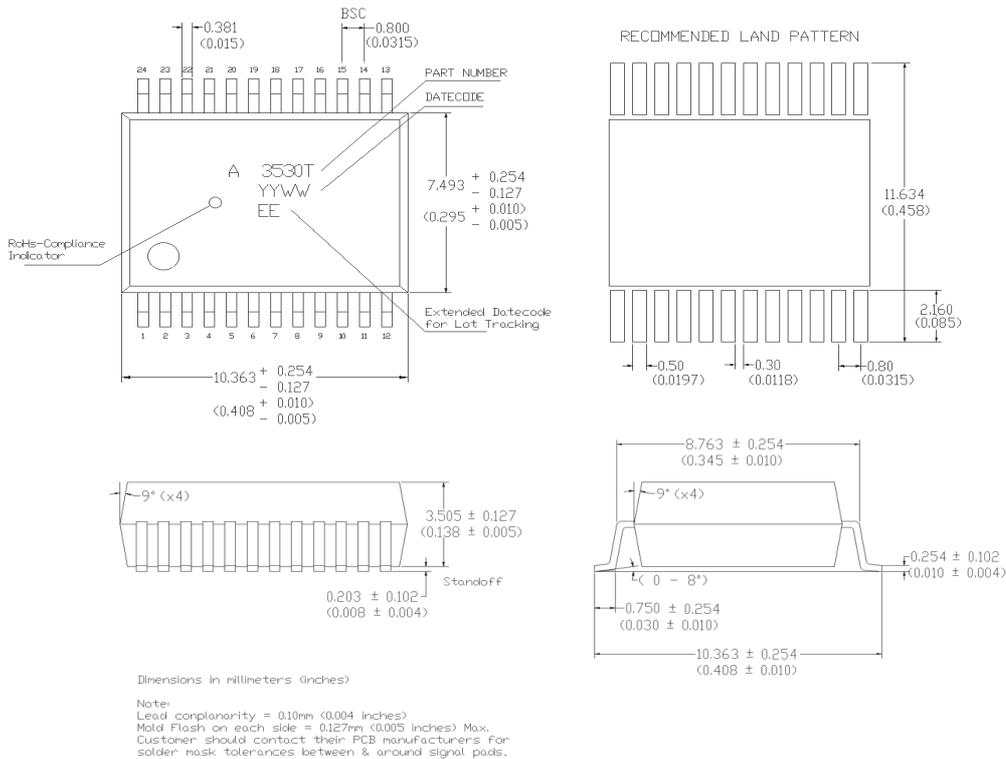
例 1 :

ACFJ-3530T-500E は、RoHS 指令準拠、IEC/EN/DIN EN 60747-5-5 認証、テープ&リール梱包、表面実装パッケージ SO-24 の製品です。

オプションのデータ・シートもご用意しています。詳細は、Broadcom の正規販売代理店までお問い合わせください。

パッケージ寸法図

図 2: パッケージ寸法図 (24 リード表面実装)



推奨鉛フリー IR プロファイル

JEDEC 規格 J-STD-020 (最新版) に準拠したリフロー条件を推奨。

注: 非ハロゲン化物系フラックスを使用してください。

製品概要

ACFJ-3530T (図 1 を参照) は、完全な絶縁型 IGBT ゲート駆動回路に必要なすべての機能を搭載した高集積電力制御デバイスです。このデバイスは、絶縁型 DC-DC コンバータ用フライバック・コントローラ、大電流ゲート駆動、ミラー電流クランプ、IGBT 非飽和過電流保護と低電圧ロックアウト(UVLO)保護およびフィードバック機能、SO-24 パッケージを特徴としています。低入力インピーダンスの直接 LED 入力によりフレキシブルな論理構成と差動電流モード駆動を可能にし、ノイズ耐性を大幅に高めています。

パッケージ・ピン配列

図 3： ACFJ-3530T ピン配置



ピンの説明

ピン番号	ピン名	概要
1	VEE1	入力側グラウンド
2	ISEN	フライバック・コントローラ用電流検出
3	PGD	外部 MOSFET 用 1 次ゲート・ドライバ
4	COMP	フライバック・コントローラ用補償ネットワーク
5	VCC1	入力電源
6	DNC	接続しないでください (内部で VEE1 リード・フレームに接続されています)
7	/UVLO	VCC1 用低電圧フィードバック、VCC2 用低電圧ロックアウト・フィードバック、VCC2 用過電圧フィードバック
8	/FAULT	非飽和フォルト・フィードバック
9	DNC	接続しないでください (内部で LED カソード・リード・フレームに接続されています)
10	AN	入力 LED アノード
11	CA	入力 LED カソード
12	NC	未接続
13	VEE2	出力側グラウンド (局所的にビア経由でデカップリング・コンデンサを VCC2 および VEE2 プレーンに接続します)
14	VEE2	出力側グラウンド (局所的にビア経由でデカップリング・コンデンサを VCC2 および VEE2 プレーンに接続します)
15	MC	ミラー電流クランプ出力
16	SSD	ソフト遮断ドライバ
17	VO	IGBT/MOSFET ゲート用出力ドライバ
18	VCC2	出力電源 (局所的にビア経由でデカップリング・コンデンサを VCC2 および VEE2 プレーンに接続します)
19	VE	IGBT エミッタ/MOSFET ソース参照
20	DESAT	非飽和過電流検出
21	DNC	接続しないでください (内部で LED2+ リード・フレームに接続されています)
22	LED2+ (DNC)	接続しないでください、試験専用
23	DNC	接続しないでください (内部で VEE2 リード・フレームに接続されています)
24	DNC	接続しないでください (内部で VEE2 リード・フレームに接続されています)

安全規格

The ACFJ-3530T is approved by the following organizations.

UL	CSA	IEC/EN/DIN EN 60747-5-5
Approved under UL 1577, component recognition program up to $V_{ISO} = 5000 V_{RMS}$	Approved under CSA Component Acceptance Notice #5, File CA 88324	Approved under: IEC 60747-5-5, EN 60747-5-5, DIN EN 60747-5-5

IEC/EN/DIN EN60747-5-5 絶縁特性

Description	Symbol	Characteristic	Units
Insulation Classification per DIN VDE 0110/1.89, Table 1 for rated mains voltage $\leq 150 V_{rms}$ for rated mains voltage $\leq 300 V_{rms}$ for rated mains voltage $\leq 600 V_{rms}$ for rated mains voltage $\leq 1000 V_{rms}$		I - IV I - IV I - IV I - III	
Climatic Classification		40/125/21	
Pollution Degree (DIN VDE 0110/1.89)		2	
Maximum Working Insulation Voltage	V_{IORM}	1230	V_{PEAK}
Input to Output Test Voltage, Method b $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test with $t_m = 1s$, Partial Discharge $< 5 pC$	V_{PR}	2306	V_{PEAK}
Input to Output Test Voltage, Method a $V_{IORM} \times 1.6 = V_{PR}$, Type and Sample Test, $t_m = 10s$, Partial Discharge $< 5 pC$	V_{PR}	1968	V_{PEAK}
Highest Allowable Overvoltage (Transient Overvoltage $t_{ini} = 60s$)	V_{IOTM}	8000	V_{PEAK}
Safety-Limiting Values – maximum values allowed in the event of a failure			
Case Temperature	T_S	175	$^{\circ}C$
Input Power	$P_{S,INPUT}$	400	mW
Output Power	$P_{S,OUTPUT}$	1200	mW
Insulation Resistance at $T_S, V_{IO} = 500V$	R_S	$> 10^9$	Ω

注：

1. Isolation characteristics are guaranteed only within the safety maximum ratings which must be ensured by protective circuits in application. Surface mount classification is class A in accordance with CECC00802.
2. Refer to the optocoupler section of the Isolation and Control Components Designer's Catalog, under Product Safety Regulation section IEC/EN/DIN EN 60747-5-5, for a detailed description of Method a and Method b partial discharge test profiles.

絶縁と安全に関連する仕様

Parameter	Symbol	Value	Units	Conditions
Minimum External Air Gap (Clearance)	L(101)	8.3	mm	Measured from the input terminals to the output terminals, shortest distance through the air.
Minimum External Tracking (Creepage)	L(102)	8.3	mm	Measured from the input terminals to the output terminals, shortest distance path along the body.
Minimum Internal Plastic Gap (Internal Clearance)		0.5	mm	Through insulation distance conductor to conductor, usually the straight line distance thickness between the emitter and the detector.
Tracking Resistance (Comparative Tracking Index)	CTI	> 175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110)

ESD 定格

Parameter	Classification	Note
Human Body Model	H2	Per AEC Q100-002
Charge Device Model	C4B	Per AEC Q100-011

絶対最大定格

Unless otherwise specified, all voltages at input IC reference to V_{EE1} , all voltages at output IC reference to V_{EE2} .

Parameter	Symbol	Min.	Max.	Units	Note
Storage Temperature	T_S	-55	150	°C	
Operating Temperature	T_A	-40	125	°C	
IC Junction Temperature	T_J	—	150	°C	
Average LED Input Current	$I_{F(AVG)}$	—	20	mA	
Peak Transient LED Input Current (< 1- μ s pulse width, 300 pps)	$I_{F(TRAN)}$	—	1	A	
LED Reverse Input Voltage (V_R)	$V_{CA} - V_{AN}$	—	6	V	
ISEN Pin Voltage	V_{ISEN}	-0.5	6	V	a
Primary Gate Driver Voltage	V_{PGD}	-0.5	6	V	a
COMP Pin Voltage	V_{COMP}	-0.5	6	V	a
Input Supply Voltage	V_{CC1}	-0.5	6	V	a
/UVLO Pin Voltage	$V_{/UVLO}$	-0.5	6	V	a
/FAULT Pin Voltage	$V_{/FAULT}$	-0.5	6	V	a
/UVLO Output Sinking Current	$I_{/UVLO}$	—	5	mA	
/FAULT Output Sinking Current	$I_{/FAULT}$	—	5	mA	
Total Output Supply Voltage	V_{CC2}	-0.5	30	V	b
Positive Output Supply Voltage	$V_{CC2} - V_E$	-0.5	22	V	
Negative Output Supply Voltage	$V_{EE2} - V_E$	-12	0.5	V	
DESAT Pin Voltage	$V_{DESAT} - V_E$	-0.5	$V_{CC2} + 0.5$	V	
Gate Driver Output Voltage, VO	V_O	-0.5	$V_{CC2} + 0.5$	V	b
Gate Driver Output Voltage, SSD	V_{SSD}	-0.5	$V_{CC2} + 0.5$	V	b
Gate Driver Output Voltage, MC	V_{MC}	-0.5	$V_{CC2} + 0.5$	V	b
Peak Output Current, VO	$ I_{O(PEAK)} $	—	2.5	A	c
Output IC Power Dissipation	P_O	—	600	mW	d
Input IC Power Dissipation	P_I	—	150	mW	e

a. Reference to V_{EE1} .

b. Reference to V_{EE2} .

c. Maximum pulse width=1 μ s, maximum duty cycle=1%.

d. Output IC power dissipation is derated linearly above 105°C from 600 mW to 550 mW at 125°C for high effective thermal conductivity board. For low effective thermal conductivity board, output IC power dissipation is derated linearly above 105°C from 600 mW to 400 mW at 125°C. PCB thermal resistance characteristic has to be considered so as not to exceed absolute maximum rating. See “ACFJ-3530T の熱抵抗モデル” for details.

e. Input IC power dissipation is derated linearly above 105°C from 150 mW to 125 mW at 125°C for high effective thermal conductivity board. For low effective thermal conductivity board, input IC power dissipation is derated linearly above 105°C from 150 mW to 100 mW at 125°C. See “ACFJ-3530T の熱抵抗モデル” for details.

推奨動作条件

Unless otherwise specified, all voltages at input IC reference to V_{EE1} , all voltages at output IC reference to V_{EE2} .

Parameter	Symbol	Min.	Max.	Units	Note
Operating Temperature	T_A	-40	125	°C	
Input IC Supply Voltage	V_{CC1}	4.5	5.5	V	a
Positive Output IC Supply Voltage	$V_{CC2} - V_E$	15.2	16.8	V	
Negative Output IC Supply Voltage	$V_{EE2} - V_E$	-10	0	V	b
Input LED Turn On Current	$I_{F(ON)}$	10	16	mA	
Input LED Turn Off Voltage ($V_{AN} - V_{CA}$)	$V_{F(OFF)}$	-5.5	0.8	V	
DC-DC Flyback Controller PWM Duty Cycle	D_{MAX}	—	50	%	c

- Power-up sequence: Battery supply (V_{BAT+}) to the DC-DC flyback transformer must be ready before V_{CC1} power up. When V_{CC1} is powered up from 0V to V_{UVLO1_TH+} , DC-DC soft start current will start to charge the compensation network which is connected to COMP pin. Subsequently, V_{CC2} supply will be regulated to 16V. See “ソフト・スタートの動作” for details.
- This supply is optional. It is required only when negative gate drive is implemented. Negative gate drive voltage can be programmed easily by connecting a Zener diode from V_E to V_{EE2} . Connect V_E to V_{EE2} if negative gate drive bias is not required.
- See “内蔵 DC-DC フライバック・コントローラの動作” for details.

電気およびスイッチング特性仕様

Unless otherwise specified, all minimum/maximum specifications are at recommended operating conditions; all voltages at input IC reference to V_{EE1} , all voltages at output IC reference to V_{EE2} . All typical values at $T_A = 25^\circ\text{C}$, $V_{CC1} = 5\text{V}$, $V_{CC2} - V_E = 16\text{V}$, $V_E = V_{EE2} = 0\text{V}$.

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Figure	Note
DC-DC Flyback Converter								
V_{CC1} MOS Threshold	$V_{CC1_MOS_TH}$	0.5	1.3	1.5	V	$I_{UVLO} = 2\text{ mA}$	29	
V_{CC1} UVLO ON Threshold	V_{UVLO1_TH+}	3.7	4.0	4.3	V		29	
V_{CC1} UVLO Threshold Hysteresis	V_{UVLO1_HYS}	0.08	0.3	0.5	V			
PWM Switching Frequency	f_{PWM}	100	135	170	kHz			a
Primary Gate Drive Output High Level	V_{PGD_H}	$V_{CC1} - 0.5$	$V_{CC1} - 0.25$	$V_{CC1} - 0.01$	V	$I_{PGD} = -50\text{ mA}$		
Primary Gate Drive Output Low Level	V_{PGD_L}	0.01	0.2	0.4	V	$I_{PGD} = 50\text{ mA}$		
Primary Gate Drive Rise Time	t_{r_PGD}	10	22	40	ns	$C_{PGD} = 1\text{ nF}$		
Primary Gate Drive Fall Time	t_{f_PGD}	10	19	40	ns	$C_{PGD} = 1\text{ nF}$		
Maximum PWM Duty Cycle	D_{MAX}	55	62	69	%		7	b
I_{SEN} Threshold	$V_{ISEN_TH} - V_{EE1}$	0.16	0.2	0.24	V			
Regulated V_{CC2} Voltage	$V_{CC2} - V_E$	15.2	16	16.8	V	$I_{COMP} = 0\text{ A}$	8	

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Figure	Note
IC Supply Current								
Input Supply Current	I_{CC1}	3	4.5	6.7	mA	$V_{COMP} = 2.3V$	9	
Output High Supply Current	I_{CC2H}	9	13	17	mA	$V_{CC2} - V_E = 16.8V$ $I_F = 10\text{ mA}$, $V_E - V_{EE2} = 0V$	10	
Output Low Supply Current	I_{CC2L}	8	12.5	16	mA	$V_{CC2} - V_E = 16.8V$ $I_F = 0\text{ mA}$, $V_E - V_{EE2} = 0V$	10	
Output High V_E Supply Current	I_{EH}	-1	-1.6	-2.5	mA	$V_{CC2} - V_E = 16.8V$ $I_F = 10\text{ mA}$, $V_E - V_{EE2} = 8V$	11	
Output Low V_E Supply Current	I_{EL}	-1	-1.6	-2.5	mA	$V_{CC2} - V_E = 16.8V$ $I_F = 0\text{ mA}$, $V_E - V_{EE2} = 8V$	11	
Logic Input and Output								
LED Forward Voltage ($V_{AN} - V_{CA}$)	V_F	1.25	1.55	1.85	V	$I_F = 10\text{ mA}$	12	
LED Reverse Breakdown Voltage ($V_{CA} - V_{AN}$)	V_{BR}	6	—	—	V	$I_F = -10\text{ }\mu\text{A}$		
LED Input Capacitance	C_{IN}	—	90	—	pF			
LED Turn On Current Threshold, Low to High	I_{TH+}	—	3.1	7.5	mA	$V_O > 5V$	13	
LED Turn On Current Threshold, High to Low	I_{TH-}	0.3	2.4	—	mA	$V_O < 5V$	13	
LED Turn On Current Hysteresis	I_{TH-HYS}	—	0.6	—	mA			
/UVLO Logic Low Output Voltage	$V_{/UVLO_L}$	—	—	0.4	V	$I_{/UVLO} = 3\text{ mA}$		
/UVLO Logic High Output Current	$I_{/UVLO_H}$	—	0.015	1	μA	$V_{/UVLO} = 5V$		
/FAULT Logic Low Output Voltage	$V_{/FAULT_L}$	—	—	0.4	V	$I_{/FAULT} = 3\text{ mA}$		
/FAULT Logic High Output Current	$I_{/FAULT_H}$	—	0.015	1	μA	$V_{/FAULT} = 5V$		
Gate Driver								
High Level VO Voltage	V_{OH}	$V_{CC2} - 0.25$	$V_{CC2} - 0.05$	$V_{CC2} - 0.01$	V	$I_O = -50\text{ mA}$	14	c, d, e
Low Level VO Voltage	V_{OL}	0.01	0.05	0.25	V	$I_O = 50\text{ mA}$	15	
Low Level SSD Voltage	V_{SSD_L}	0.01	0.05	0.25	V	$I_{SSD} = 40\text{ mA}$		
High Level VO Current	I_{OH}	—	—	-1.5	A	$V_O = V_{CC2} - 5V$		f
Low Level VO Current	I_{OL}	1.5	—	—	A	$V_O = 5V$		f
Low Level SSD Current	I_{SSD_L}	2	—	—	A	$V_{SSD} = 7V$	16	f
V_{IN} to High Level VO Propagation Delay Time	t_{PLH}	—	110	200	ns	$V_{Source} = 5V$,	17, 22	g
V_{IN} to Low Level VO Propagation Delay Time	t_{PHL}	—	128	200	ns	$R_{LED} = 260\Omega$,	17, 22	h
Pulse Width Distortion	PWD	-50	18	100	ns	$R_g = 10\Omega$, $C_{load} = 1\text{ nF}$,		i, j
Dead Time Distortion ($t_{PLH} - t_{PHL}$)	DTD	-100	-18	50	ns	$f = 10\text{ kHz}$,		k
VO 10% to 90% Rise Time	t_R	—	15	—	ns	Duty cycle = 50%	22	
VO 90% to 10% Fall Time	t_F	—	15	—	ns		22	

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Figure	Note
Output High Level Common Mode Transient Immunity	ICM_H	50	—	—	kV/ μ s	$T_A = 25^\circ\text{C}$, $I_F = 10\text{ mA}$, $V_{CM} = 1500\text{V}$	23	l
Output Low Level Common Mode Transient Immunity	ICM_L	50	—	—	kV/ μ s	$T_A = 25^\circ\text{C}$, $I_F = 0\text{ mA}$, $V_{CM} = 1500\text{V}$	24	m
Active Miller Clamp								
Clamp Threshold Voltage	V_{TH_CLAMP}	1.5	2	2.5				
Clamp Low Level Sinking Current	I_{CLAMP}	2	3.5	—	A	$V_{CLAMP} =$ $V_{EE2} + 3.5\text{V}$	18	
VCC2 UVLO Protection (UVLO Voltage V_{UVLO} reference to V_E)								
V_{CC2} UVLO Threshold Low to High	V_{UVLO2_TH+}	11.25	12.5	13.75	V	$V_O > 5\text{V}$		e, n
V_{CC2} UVLO Threshold High to Low	V_{UVLO2_TH-}	10.35	11.5	12.65	V	$V_O < 5\text{V}$		e, o
V_{CC2} UVLO Hysteresis	V_{UVLO2_HYS}	0.8	1	1.2	V			
V_{CC2} to /UVLO High Delay	t_{PLH_UVLO2}	—	15	35	μ s			p
V_{CC2} to /UVLO Low Delay	t_{PHL_UVLO2}	—	38	100	μ s			q
V_{CC2} UVLO to VO High Delay	t_{UVLO2_ON}	—	2.8	6	μ s			r
V_{CC2} UVLO to VO Low Delay	t_{UVLO2_OFF}	—	1.9	6	μ s			s
VCC2 Over-Voltage Protection (OV Voltage V_{OV} reference to V_E)								
V_{CC2} Over Voltage Protection Threshold, Low to High Reference to V_E	$V_{OV2_TH+} - V_E$	18	19.5	21	V			
V_{CC2} Over Voltage Protection Threshold, High to Low Reference to V_E	$V_{OV2_TH-} - V_E$	17	18.5	20	V			
V_{CC2} Over Voltage to /ULVO Flag High Delay	t_{PLH_OV2}	—	8	20	μ s			t
V_{CC2} Over Voltage to /ULVO Flag Low Delay	t_{PHL_OV2}	—	14	35	μ s			u
Short Circuit Protection (reference to V_E)								
Desat Sensing Threshold	$V_{DESAT_TH} - V_E$	8.55	9.1	9.45	V		19	v
Desat Charging Current	I_{CHG}	0.925	1.0	1.075	mA	$V_{DESAT} - V_E = 2\text{V}$	20	
Desat Discharging Current	I_{DSCHG}	19	60	—		$V_{DESAT} - V_E = 2\text{V}$	21	
V_{CC2} during Short Circuit Fault Condition	$V_{CC2(FAULT)}$	—	16	—	V			
I_{CC2} during Short Circuit Fault Condition	$I_{CC2(FAULT)}$	—	14	—	mA			
Desat Blanking Time	$t_{DESAT(BLANKING)}$	0.1	0.3	0.5	μ s			w
Desat Sense to 90% V_{GATE} Delay	$t_{DESAT(90\%)}$	0.05	0.10	0.20	μ s	$R_g = 15\Omega$, $C_{load} = 1\text{ nF}$		x
Desat Sense to $V_{GATE} = (V_{EE2} + 2\text{V})$ Delay	$t_{DESAT(2\text{V})}$	0.1	0.17	0.3	μ s			y
Desat Sense to /FAULT Low Signal Delay	$t_{DESAT(/FAULT)}$	2.1	4.2	8	μ s			z
Output Mute Time Due to Desaturation Sense	$t_{DESAT(MUTE)}$	1.6	3	6	ms			aa
Time Input Kept Low Before /FAULT Reset to High	$t_{DESAT(RESET)}$	1.6	3	6	ms			ab

a. PWM switching frequency of PGD is dithered in a range of $\pm 6\%$ typically over 3.3 ms.

- b. Maximum PWM duty cycle, D_{MAX} is the hard limit set by IC for protection purpose. For discontinuous mode (DCM) operation, the maximum duty cycle for transformer design should be limited to 50% under system full load conditions.
- c. For High Level Output Voltage testing, V_{O_H} is measured with a dc load current. When driving capacitive loads, V_{O_H} will approach V_{CC2} as I_{O_H} approaches zero.
- d. Maximum pulse width = 1.0 ms, maximum duty cycle = 20%.
- e. After V_O of the ACFJ-3530T is allowed to go high ($V_{CC2} - V_E > V_{UVLO2_TH+}$), the DESAT detection feature of the ACFJ-3530T will be the primary source of IGBT protection. V_{CC2} must be greater than V_{UVLO2_TH+} threshold to ensure Desat is functional. Desat detection feature will remain functional until V_{CC2} is below V_{UVLO2_TH-} threshold. Thus, the Desat detection and UVLO features of the ACFJ-3530T work in conjunction to ensure constant IGBT protection.
- f. Maximum pulse width = 1 μ s, maximum duty cycle = 1%.
- g. t_{PLH} is defined as propagation delay from 50% of input source voltage, V_{SOURCE} to 50% of High level output.
- h. t_{PHL} is defined as propagation delay from 50% of input source voltage, V_{SOURCE} to 50% of Low level output.
- i. Pulse Width Distortion (PWD) is defined as ($t_{PHL} - t_{PLH}$) of any given unit.
- j. As measured from I_F to output (V_O).
- k. Dead Time Distortion (DTD) is defined as ($t_{PLH} - t_{PHL}$) between any two parts under the same test conditions.
- l. Common Mode Transient Immunity (CMTI) in the high state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM} , to assure that the output will remain in the high state (that is, Output > 13V). A 330 pF and a 10-k pull-up resistor are needed in UVLO and Desat faults detection mode.
- m. Common Mode Transient Immunity (CMTI) in the low state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM} , to assure that the output will remain in a low state (that is, Output < 1.0V). A 330 pF and a 10-k pull-up resistor are needed in UVLO and Desat faults detection mode.
- n. This is the "increasing" (that is, turn-on or "positive going" direction) of $V_{CC2} - V_E$.
- o. This is the "decreasing" (that is, turn-off or "negative going" direction) of $V_{CC2} - V_E$.
- p. The delay time when V_{CC2} exceeded V_{UVLO2_TH+} to 50% of /UVLO positive going edge.
- q. The delay time when V_{CC2} exceeded V_{UVLO2_TH-} threshold to 50% of /UVLO negative going edge.
- r. The delay time when V_{CC2} exceeded V_{UVLO2_TH+} to 50% of V_O positive going edge (that is, V_O turn-on).
- s. The delay time when V_{CC2} exceeded V_{UVLO2_TH-} threshold to 50% of V_O negative going edge (that is, V_O turn-off).
- t. The delay time when V_{CC2} exceeded V_{OV2_TH-} to 50% of /UVLO positive going edge.
- u. The delay time when V_{CC2} exceeded V_{OV2_TH+} to 50% of /UVLO negative going edge.
- v. See "IGBT 短絡イベント時" for further details.
- w. The delay time for ACFJ-3530T to respond to an over-current/short circuit fault condition without any external blanking capacitor at the DESAT pin.
- x. The amount of time from when Desat threshold is exceeded to 90% of V_{GATE} negative going edge as mentioned test conditions.
- y. The amount of time from when Desat threshold is exceeded to ($V_{EE2} + 2V$) of V_{GATE} negative going edge as mentioned test conditions.
- z. The amount of time from when Desat threshold is exceeded to 50% of /FAULT negative going edge.
- aa. The amount of time when Desat threshold is exceeded, driver output V_O is mute to LED input.
- ab. The amount of time when Desat Mute time is expired, LED input must be kept Low for /FAULT status to return to High.

パッケージ特性

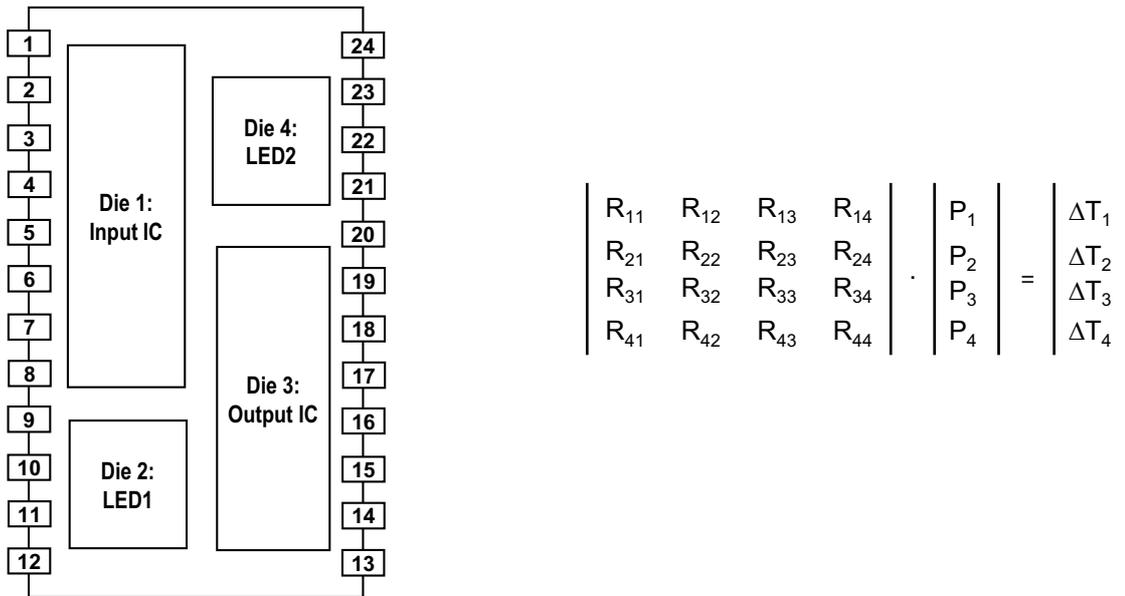
Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions	Note
Input-Output Momentary Withstand Voltage	V_{ISO}	5000	—	—	V_{RMS}	$RH < 50\%$, $t = 1$ minute, $T_A = 25^\circ C$	a, b, c
Resistance (Input – Output)	R_{I-O}	—	10^{14}	—	Ω	$V_{I-O} = 500$ Vdc	c
Capacitance (Input – Output)	C_{I-O}	—	1.3	—	pF	$f = 1$ MHz	

- a. In accordance with UL1577, each optocoupler is proof tested by applying an insulation test voltage ≥ 6000 VRMS for 1 second.
- b. The Input-Output Momentary Withstand Voltage is a dielectric voltage rating that should not be interpreted as an input-output continuous voltage rating. For the continuous voltage rating, refer to your equipment level safety specification or IEC/EN/DIN EN 60747-5-5 Insulation Characteristics Table.
- c. The device is considered as a two-terminal device: pins 1 to 12 are shorted together and pins 13 to 24 are shorted together.

ACFJ-3530T の熱抵抗モデル

図 4 に測定回路図を示します。これは、4 つの熱源を持つマルチチップ・パッケージで、1 つのダイの隣接ダイによる加熱効果は、線形重ね合せ理論により考察します。最初に 1 つのダイを加熱し、熱平衡に達した後すべてのダイの温度を記録します。次に、2 番目のダイを加熱し、すべてのダイの温度を記録します。これを、4 番目のダイが加熱されるまで繰り返します。周囲温度、ダイ接合部温度および消費電力が既知の場合は、熱抵抗を計算することができます。熱抵抗の計算は、行列形式で求めることができます。この場合、4 つの熱源があるため、 4×4 行列になります。

図 4：ACFJ-3530T の熱抵抗モデルの図



定義

R_{11} : ダイ1 の加熱によるダイ1 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{12} : ダイ2 の加熱によるダイ1 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{13} : ダイ3 の加熱によるダイ1 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{14} : ダイ4 の加熱によるダイ1 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{21} : ダイ1 の加熱によるダイ2 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{22} : ダイ2 の加熱によるダイ2 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{23} : ダイ3 の加熱によるダイ2 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{24} : ダイ4 の加熱によるダイ2 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{31} : ダイ1 の加熱によるダイ3 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{32} : ダイ2 の加熱によるダイ3 の熱抵抗 ($^{\circ}\text{C}/\text{W}$)

R_{33} : ダイ3 の加熱によるダイ3 の熱抵抗 (°C/W)

R_{34} : ダイ4 の加熱によるダイ3 の熱抵抗 (°C/W)

R_{41} : ダイ1 の加熱によるダイ4 の熱抵抗 (°C/W)

R_{42} : ダイ2 の加熱によるダイ4 の熱抵抗 (°C/W)

R_{43} : ダイ3 の加熱によるダイ4 の熱抵抗 (°C/W)

R_{44} : ダイ4 の加熱によるダイ4 の熱抵抗 (°C/W)

P_1 : ダイ1 の消費電力 (W)

P_2 : ダイ2 の消費電力 (W)

P_3 : ダイ3 の消費電力 (W)

P_4 : ダイ4 の消費電力 (W)

T_1 : すべてのダイからの熱によるダイ1 の接合部温度 (°C)

T_2 : すべてのダイからの熱によるダイ2 の接合部温度 (°C)

T_3 : すべてのダイからの熱によるダイ3 の接合部温度 (°C)

T_4 : すべてのダイからの熱によるダイ4 の接合部温度 (°C)

T_a : 周囲温度 (°C)

ΔT_1 : ダイ1 接合部と周囲との温度差 (°C)

ΔT_2 : ダイ2 接合部と周囲との温度差 (°C)

ΔT_3 : ダイ3 接合部と周囲との温度差 (°C)

ΔT_4 : ダイ4 接合部と周囲との温度差 (°C)

$$T_1 = (R_{11} \times P_1 + R_{12} \times P_2 + R_{13} \times P_3 + R_{14} \times P_4) + T_a \text{ ----- (1)}$$

$$T_2 = (R_{21} \times P_1 + R_{22} \times P_2 + R_{23} \times P_3 + R_{24} \times P_4) + T_a \text{ ----- (2)}$$

$$T_3 = (R_{31} \times P_1 + R_{32} \times P_2 + R_{33} \times P_3 + R_{34} \times P_4) + T_a \text{ ----- (3)}$$

$$T_4 = (R_{41} \times P_1 + R_{42} \times P_2 + R_{43} \times P_3 + R_{44} \times P_4) + T_a \text{ ----- (4)}$$

測定は、有効熱伝導率の低いテスト基板（JESD51-3 に準ずる）と有効熱伝導率が高いテスト基板（JESD51-7 に準ずる）の両方で実施されます。

テスト基板のタイプ	テスト基板の条件	熱抵抗	消費電力ディレーティング図
有効熱伝導率の低い基板	<ul style="list-style-type: none"> ■ 信号用単層基板。 ■ 外層の銅の厚み：2 oz. ■ 基板サイズ：76.2 mm × 76.2 mm 	R_{11} : 59.5°C/W R_{12} : 44.1°C/W R_{13} : 29.6°C/W R_{14} : 49.3°C/W R_{21} : 31.1°C/W R_{22} : 153.5°C/W R_{23} : 33.2°C/W R_{24} : 46.4°C/W R_{31} : 30.3°C/W R_{32} : 50.9°C/W R_{33} : 50.4°C/W R_{34} : 62.9°C/W R_{41} : 33.2°C/W R_{42} : 47°C/W R_{43} : 42°C/W R_{44} : 118.6°C/W	<p>図 5：有効熱伝導率が低い基板を使用した消費電力ディレーティング図</p> <p>注：</p> <ul style="list-style-type: none"> ■ 入力 IC 消費電力は、105°C を超えると 150mW から線形にディレーティングされ、125°C で 100mW に達します。 ■ 出力 IC 消費電力は、105°C を超えると 600mW から線形にディレーティングされ、125°C で 400mW に達します。
有効熱伝導率の高い基板	<ul style="list-style-type: none"> ■ 2 つの単層、パワー・プレーン、グランド・プレーンが統合された 4 層基板。 ■ 外層の銅の厚み：2 oz. ■ 内層の銅の厚み：1 oz. ■ 基板サイズ：76.2 mm × 76.2 mm 	R_{11} : 37°C/W R_{12} : 18.8°C/W R_{13} : 12.4°C/W R_{14} : 22.9°C/W R_{21} : 15.5°C/W R_{22} : 129.2°C/W R_{23} : 16.1°C/W R_{24} : 21.5°C/W R_{31} : 14.6°C/W R_{32} : 23.9°C/W R_{33} : 28.6°C/W R_{34} : 31.8°C/W R_{41} : 18.4°C/W R_{42} : 22.8°C/W R_{43} : 22.8°C/W R_{44} : 90.5°C/W	<p>図 6：有効熱伝導率が高い基板を使用した消費電力ディレーティング図</p> <p>注：</p> <ul style="list-style-type: none"> ■ 入力 IC 消費電力は、105°C を超えると 150 mW から線形にディレーティングされ、125°C で 125 mW に達します。 ■ 出力 IC 消費電力は、105°C を超えると 600 mW から線形にディレーティングされ、125°C で 550 mW に達します。

ACFJ-3530T のアプリケーションおよび環境設計では、ゲート駆動フォトカプラ内の内部 IC と LED の接合部温度が 150°C を超えないように確保する必要があります。以下の例は、最大消費電力と接合部温度の対応効果を見積もるために、図 25 に示す標準的な回路に基づいています。この熱計算は、実際のアプリケーションの基板レイアウトと JE51-7 に準じた PCB 基板とその熱比較の基準としてのみ使用可能です。実際に達成可能な消費電力は、アプリケーションの環境 (PCB レイアウト、エア・フロー、部品の配置など) によって異なります。

入力 IC 消費電力、 P_1 の計算

$$\text{入力 IC 消費電力 } (P_1) = P_{I(\text{Static})} + P_{IH(\text{PGD})} + P_{IL(\text{PGD})}$$

ここで：

$$P_{I(\text{Static})} - \text{入力 IC によって消散された静的電力} = V_{CC1(\text{MAX})} \times I_{CC1(\text{MAX})}$$

$$P_{IH(\text{PGD})} - \text{PGD ピンでのハイサイド・スイッチング消費電力}$$

$$= (V_{CC1(\text{MAX})} \times Q_{G_ExtMOS} \times f_{PWM_DCDC}) \times R_{OH_PGD(\text{MAX})} / (R_{OH_PGD(\text{MAX})} + R_{G_PGD}) / 2$$

$$P_{IL(\text{PGD})} - \text{PGD ピンで消散されたローサイド・スイッチング電力}$$

$$= (V_{CC1(\text{MAX})} \times Q_{G_ExtMOS} \times f_{PWM_DCDC}) \times R_{OL_PGD(\text{MAX})} / (R_{OL_PGD(\text{MAX})} + R_{G_PGD}) / 2$$

$$Q_{G_ExtMOS} - \text{電源電圧で PGD ピンに接続された外部 MOSFET のゲート電荷}$$

$$f_{PWM_DCDC} - \text{DC-DC スwitching 周波数}$$

$$R_{OH_PGD(\text{MAX})} - \text{最大ハイサイド PGD ピン出力インピーダンス} = 0.5V / 50 \text{ mA} = 10\Omega$$

$$R_{OL_PGD(\text{MAX})} - \text{最大ローサイド PGD ピン出力インピーダンス} = 0.4V / 50 \text{ mA} = 8\Omega$$

$$R_{G_PGD} - \text{PGD ピンに接続されたゲート抵抗}$$

例：

$$P_{I(\text{Static})} = 5.5V \times 6.7 \text{ mA} = 36.85 \text{ mW}$$

$$P_{IH(\text{PGD})} = (5.5V \times 5 \text{ nC} \times 160 \text{ kHz}) \times 10\Omega / (10\Omega + 20\Omega) / 2 = 0.73 \text{ mW}$$

$$P_{IL(\text{PGD})} = (5.5V \times 5 \text{ nC} \times 160 \text{ kHz}) \times 8\Omega / (8\Omega + 20\Omega) / 2 = 0.63 \text{ mW}$$

$$P_1 = 36.85 \text{ mW} + 0.73 \text{ mW} + 0.63 \text{ mW} = 38.21 \text{ mW}$$

入力 LED 消費電力、 P_2 の計算

$$\text{入力 LED 消費電力 } (P_2) = I_{F(\text{LED})} (\text{推奨される最大}) \times V_{F(\text{LED})} (\text{at } 125^\circ\text{C}) \times \text{デューティ・サイクル}$$

例：

$$P_2 = 16 \text{ mA} \times 1.25V \times 50\% = 10 \text{ mW}$$

出力 IC 消費電力、 P_3 の計算

$$\text{出力 IC 消費電力 } (P_3) = P_{O(\text{Static})} + P_{OH} + P_{OL}$$

ここで：

$$P_{O(\text{Static})} - \text{出力 IC によって消散された静的電力} = (V_{CC2} - V_{EE2}) \times I_{CC2(\text{MAX})}$$

$(V_{CC2} - V_{EE2})$ - 総出力電源 = 安定化した $V_{CC2(\text{MAX})} + V_Z$ (負電源が使用されていない場合 V_Z は 0V の場合がある)

$$P_{OH} - V_O \text{ ピンで消散されたハイサイド・スイッチング電力} \\ = (V_{CC2} - V_{EE2}) \times Q_G \times f_{\text{PWM}} \times R_{OH(\text{MAX})} / (R_{OH(\text{MAX})} + R_{GH}) / 2$$

$$P_{OL} - V_O \text{ ピンでのローサイド・スイッチング消費電力} \\ = (V_{CC2} - V_{EE2}) \times Q_G \times f_{\text{PWM}} \times R_{OL(\text{MAX})} / (R_{OL(\text{MAX})} + R_{GL}) / 2$$

Q_G - 電源電圧での外部バッファ・ゲート電荷

f_{PWM} - 入力 LED スwitching 周波数

$R_{OH(\text{MAX})}$ - $I_{OH(\text{MIN})}$ の最大ハイサイド V_O ピン出力インピーダンス = 3.33Ω

R_{GH} - ゲート充電抵抗

$R_{OL(\text{MAX})}$ - 最大ローサイド V_O ピン出力インピーダンス $I_{OL(\text{MIN})}$ = 3.33Ω

R_{GL} - ゲート放電抵抗

例：

$$(V_{CC2} - V_{EE2}) = 16.8\text{V} + 5.5\text{V} = 22.3\text{V}$$

$$P_{O(\text{Static})} = 22.3\text{V} \times 17 \text{ mA} = 379.1 \text{ mW}$$

$$P_{OH} = (22.3\text{V} \times 200 \text{ nC} \times 10 \text{ kHz}) \times 3.33\Omega / (3.33\Omega + 10\Omega) / 2 = 5.57 \text{ mW}$$

$$P_{OL} = (22.3\text{V} \times 200 \text{ nC} \times 10 \text{ kHz}) \times 3.33\Omega / (3.33\Omega + 10\Omega) / 2 = 5.57 \text{ mW}$$

$$P_3 = 379.1 \text{ mW} + 5.57 \text{ mW} + 5.57 \text{ mW} = 390.24 \text{ mW}$$

LED2 消費電力、 P_4 の計算

$$\text{LED2 消費電力 } (P_4) = I_{F(\text{LED2})} (\text{設計最大}) \times V_{F(\text{LED2})} (\text{at } 125^\circ\text{C}) \times \text{デューティ} \cdot \text{サイクル}$$

例：

$$P_4 = 16 \text{ mA} \times 1.25\text{V} \times 50\% = 10 \text{ mW}$$

有効熱伝導率が高い基板を使用した接合部温度の計算：

$$\text{入力 IC 接合部温度} = (37^\circ\text{C/W} \times P_1 + 18.8^\circ\text{C/W} \times P_2 + 12.4^\circ\text{C/W} \times P_3 + 22.9^\circ\text{C/W} \times P_4) + T_a$$

$$\text{入力 LED 接合部温度} = (15.5^\circ\text{C/W} \times P_1 + 129.2^\circ\text{C/W} \times P_2 + 16.1^\circ\text{C/W} \times P_3 + 21.5^\circ\text{C/W} \times P_4) + T_a$$

$$\text{出力 IC 接合部温度} = (14.6^\circ\text{C/W} \times P_1 + 23.9^\circ\text{C/W} \times P_2 + 28.6^\circ\text{C/W} \times P_3 + 31.8^\circ\text{C/W} \times P_4) + T_a$$

$$\text{LED2 接合部温度} = (18.4^\circ\text{C/W} \times P_1 + 22.8^\circ\text{C/W} \times P_2 + 22.8^\circ\text{C/W} \times P_3 + 90.5^\circ\text{C/W} \times P_4) + T_a$$

内部 IC と LED の接合部温度は 150°C を超えないようにしてください。

標準特性

図 7 : PWM Duty Cycle vs. V_{COMP}

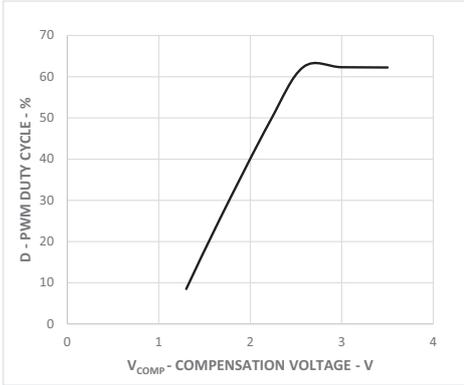


図 8 : I_{COMP} vs. Supply Voltage

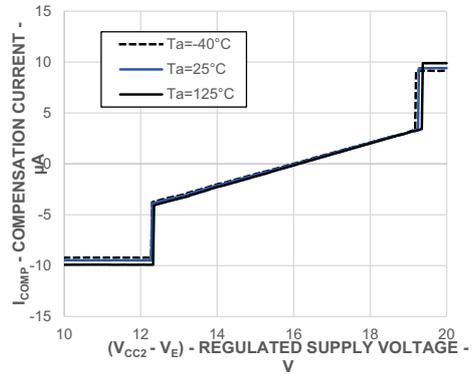


図 9 : I_{CC1} vs. Temperature

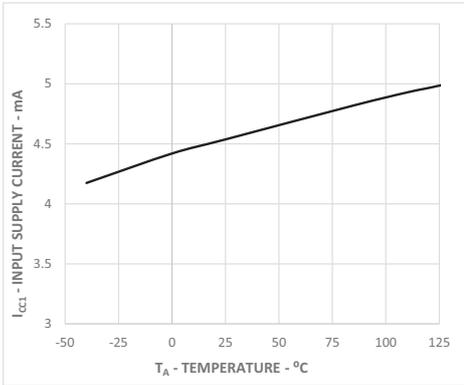


図 10 : I_{CC2} vs. Temperature

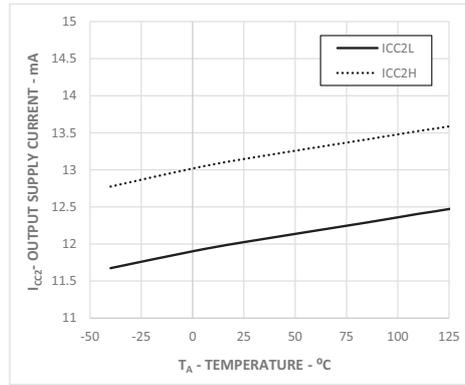


図 11 : I_E vs. Temperature

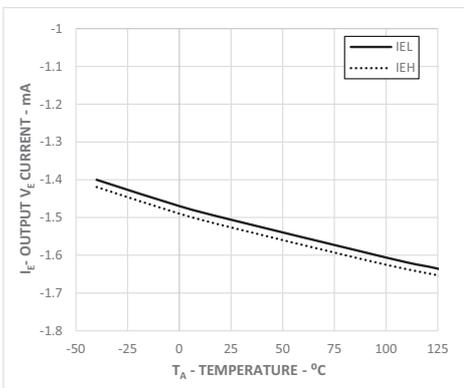


図 12 : I_F vs. V_F

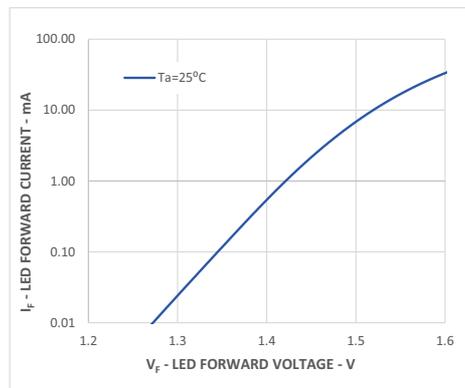


図 13 : I_{TH} vs. Temperature

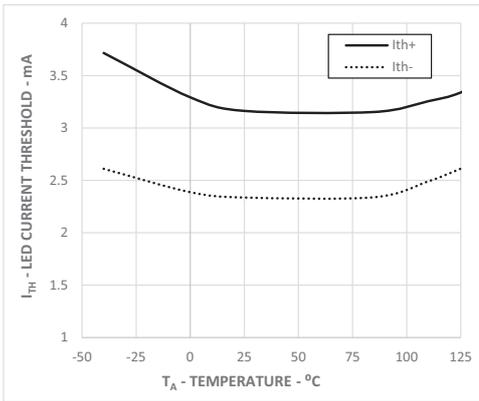


図 14 : V_{OH} vs. I_{OH}

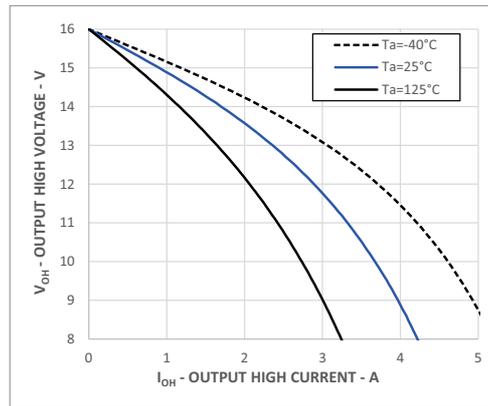


図 15 : V_{OL} vs. I_{OL}

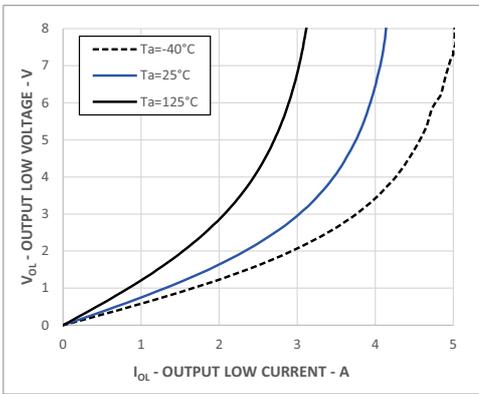


図 16 : I_{SSD} vs. V_{SSD}

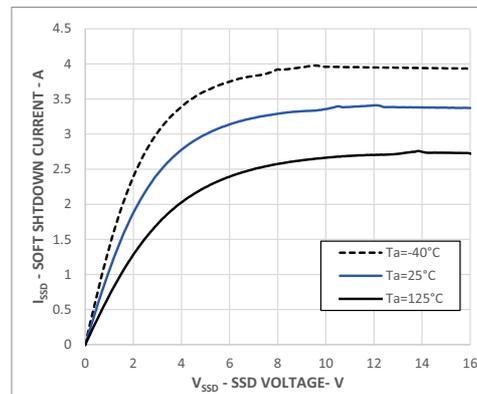


図 17 : T_p vs. Temperature

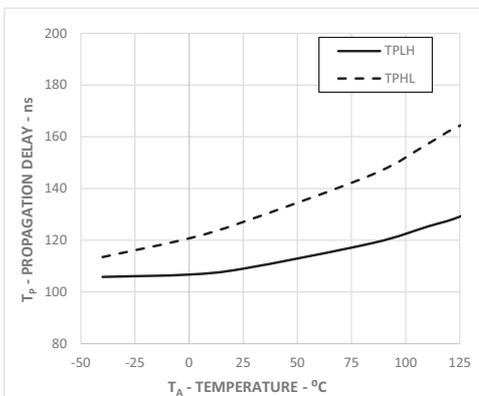


図 18 : I_{CLAMP} vs. V_{CLAMP}

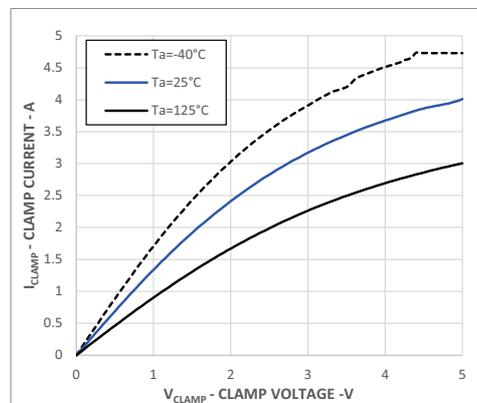


図 19 : V_{DESAT} vs. Temperature

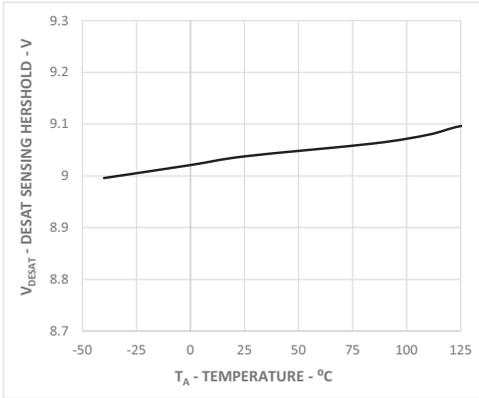


図 20 : I_{CHG} vs. Temperature

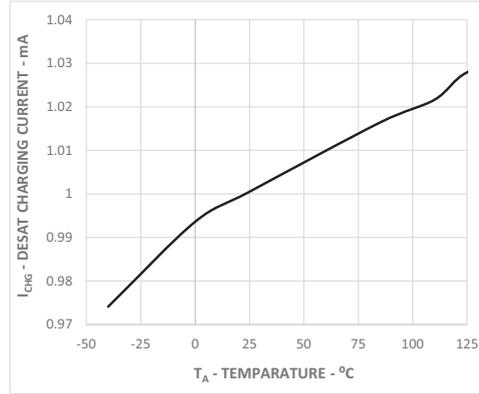


図 21 : I_{DCHG} vs. Temperature

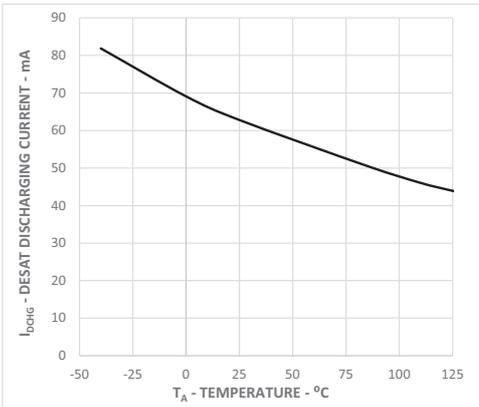


図 22 : Propagation Delay Test Circuit

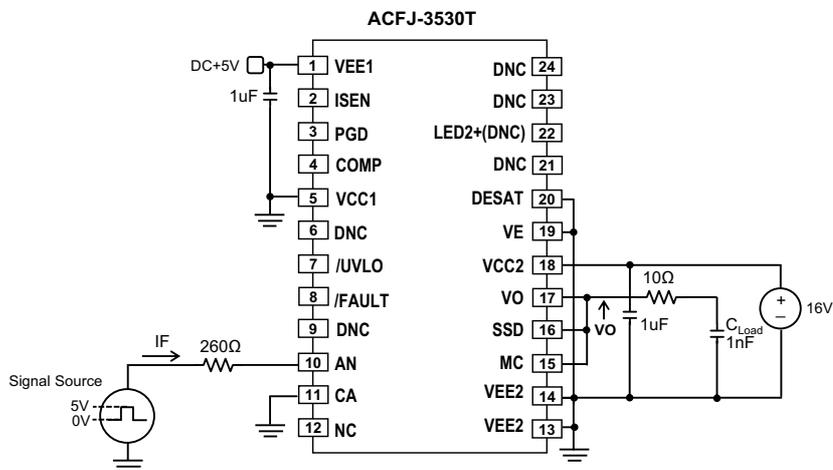


図 23 : CMR VO High Test Circuit

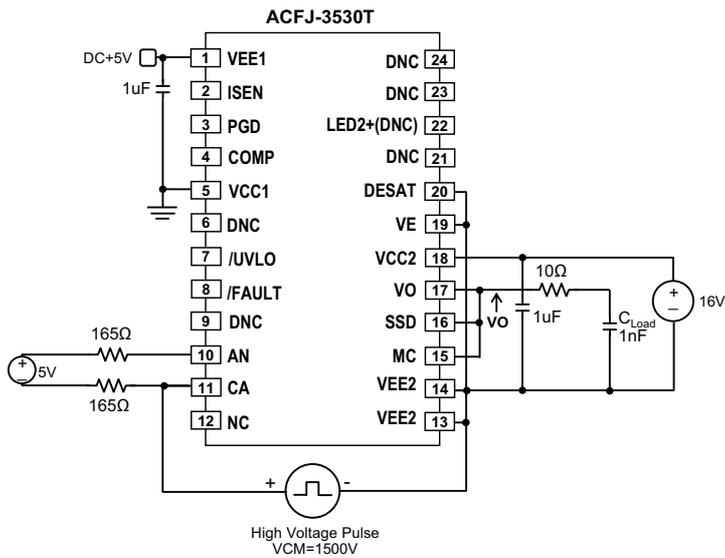
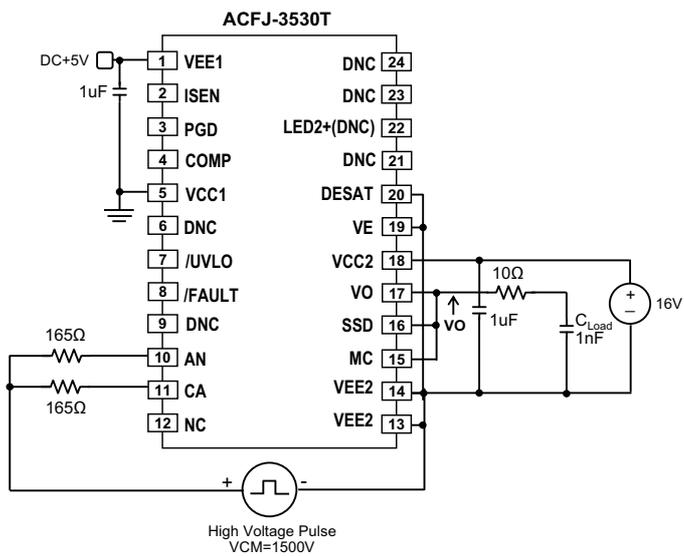
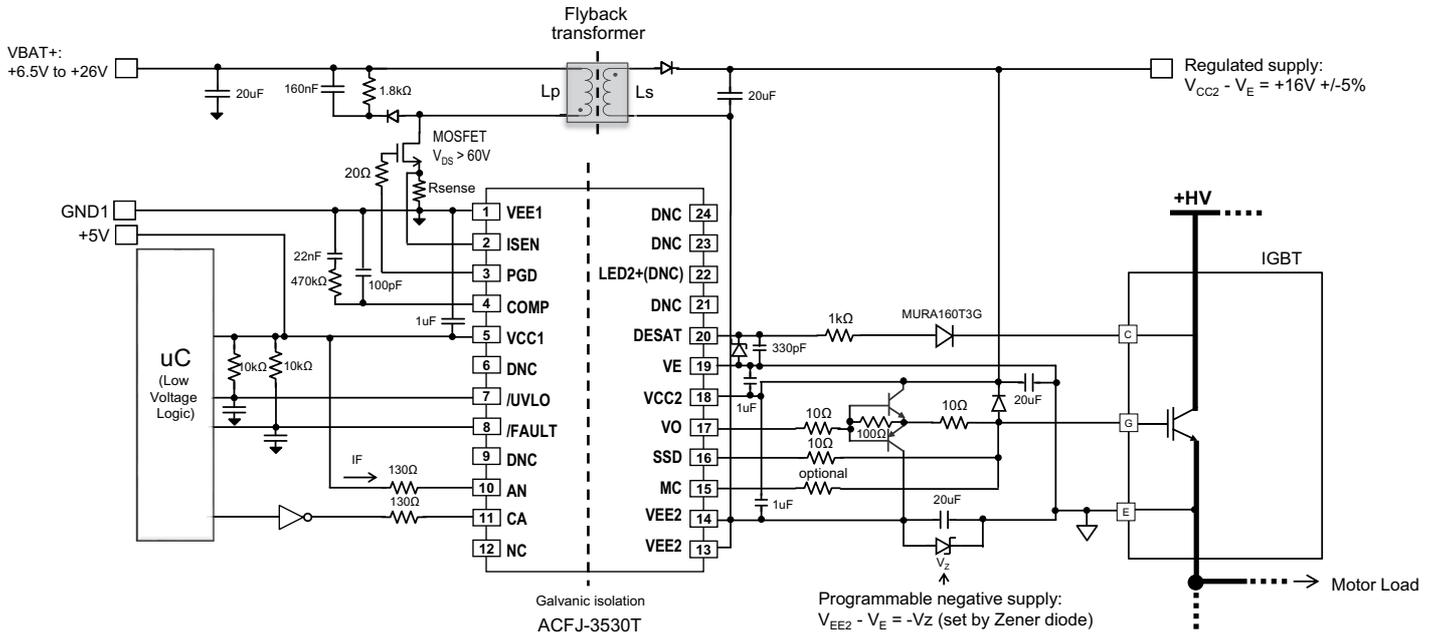


図 24 : CMR VO Low Test Circuit



IGBT 非飽和検出機能付きの標準的なゲート駆動回路

図 25 : ACFJ-3530T Typical Gate Drive Circuit with IGBT Desaturation Over-Current Sensing and Negative Bias Set by Vz



注： 部品点数は、応用要件によって異なります。

動作と機能の説明

内蔵 DC-DC フライバック・コントローラの動作

ACFJ-3530T の内蔵 DC-DC フライバック・コントローラは、135 kHz の固定平均スイッチング周波数で、不連続導通モード (DCM) で動作します。6.5V ~ 26V の広い入力範囲を 16V 固定正出力と 0V ~ 10V のプログラマブル負電圧に変換します。これらの電圧範囲は、さまざまな車載および産業用途に十分適しています。

1 次制御ブロックは、直接デューティ・サイクル制御ロジックにより、ラインおよびロードレギュレーションを実現します。1 次巻線電流は、変圧器の短絡不良による 1 次スイッチの損傷を防ぐために、検出され、 V_{ISEN_TH} に制限されます。検出抵抗器 (R_{sense}) は、1 次巻線電流の上限と最大許容損失要件に基づいて選択されます。2 次出力電圧 V_{CC2} は、検出され 1 次制御回路にフィードバックされます。閉ループ制御回路は、 V_E に関して、常に V_{CC2} を 16V に安定化します。 V_{CC2} が指定された V_{CC2} しきい値 (V_{OV2_TH+}) を超えると、 V_{CC2} 過電圧保護が作動します。ゲート駆動の 1 次側の PGD ピンは、2 次過電圧不良を保護するために遮断されます。 V_{CC2} が V_{OV2_TH-} まで低下すると、PGD ピンが解放され、DC-DC レギュレーションが通常動作を再開します。

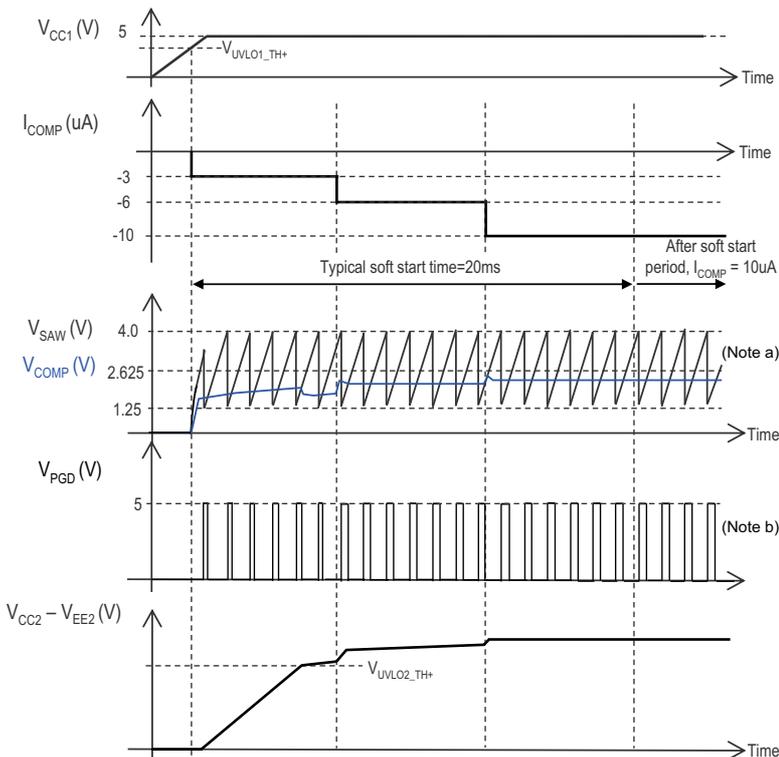
DCM コントローラのフライバック変圧器を設計する際は、最大 PWM デューティ・サイクルを、全負荷条件下の最小入力電圧（たとえば、 $V_{BAT+} = 6.5V$ ）の 50% 以下に制限する必要があります。フライバック変圧器は、完全に絶縁された DC-DC コンバータ用に、[図 25](#) に従って ACFJ-3530T に接続する必要があります。 V_{CC1} の起動中は、入力 LED をオフのままにしておく必要があります。DC-DC コンバータの適切な動作を保證するために、突入電流を制御するためのソフト・スタート機能では、高速 V_{CC1} 立ち上がり時間（ $\leq 5\text{ ms}$ ）が推奨されます。 V_{CC2} がソフト・スタート期間（約 20 ms）の終わりに 6V を超えて立ち上がりなかった場合、起動時に発生する可能性のある V_{CC2} 短絡イベントを防ぐために、1 次スイッチがオフになります。DC-DC コントローラは電源リセット V_{CC1} によって再起動できます。

1 次ゲート駆動 (PGD) の平均 PWM スイッチング周波数は、通常、中心周波数の 135 kHz から $\pm 6\%$ のディザがあります。周波数ディザリング機能は、スイッチングとその調波をより広い帯域に広げることで、EMI性能を改善するために役立ちます。

ソフト・スタートの動作

ACFJ-3530T には、ソフト・スタート機能が組み込まれています。 V_{CC1} が V_{UVLO1_TH+} を超えると、組み込みソフト・スタート回路が機能します。標準的なソフト・スタートのタイミングは 20ms です。ソフト・スタート電流 (I_{COMP}) は、 V_{COMP} ピンを介して補償ネットワークを充電し、pin and gradually increases the V_{COMP} 電圧を適正な動作レベルになるまで徐々に上昇させます。[図 26](#) は、標準的な DC-DC 起動波形を示しています。

図 26 : Typical DC-DC Start Up Waveforms



注 :

- V_{SAW} is IC internal saw waveform and cannot be measured externally. V_{SAW} frequency is not drawn to scale.
- Typical DC-DC switching frequency at PGD pin is 135 kHz. V_{PGD} frequency is not drawn to scale.

状態フラグ

1 次側の状態フラグは、回路の動作状態を反映します。図 29 は、 V_{CC1} が動作可能な場合に、状態フラグが V_{CC2} の立ち上がり立ち下りをどのように反映しているかを例示しています。

- 通常動作：すべての状態フラグ（/UVLO および /FAULT）が、Hi-Z 状態です。これらのピンは、外部抵抗によってハイになります。
- 低電圧ロックアウト（UVLO）フォルト：動作中に、 V_{CC1} が V_{CC1} しきい値（ V_{UVLO1_TH-} ）を下回るか、 V_{CC2} が UVLO しきい値（ V_{UVLO2_TH-} ）を下回ると、/UVLO フラグがローになります。
- V_{CC2} 過電圧（OV）フォルト： V_{CC2} が V_{CC2} 過電圧保護しきい値（ V_{OV2_TH+} ）を超えると、/UVLO フラグがローになります。
- IGBT 短絡（SC）フォルト：短絡フォルトが発生すると、IGBT ゲートはソフト遮断されます（SSD ピン・アクションによってローになります）。/FAULT ピンはローになります。
- LED2 フォルト： $V_{CC2} - V_{EE2}$ 電源電圧が標準の 6V を超えると、2 次側 LED2 がパルスを発信し始め、1 次 IC にフィードバック・チャンネルが正常に動作していることを通知します。1 次 IC は LED2 からの信号を検出しない場合、LED2 を不良として診断します。1 次 IC は、PGD ピンと COMP ピンをローにすることで、DC-DC レギュレーションを停止します。マイクロコントローラに通知するために、両方の状態フラグ（/UVLO および /FAULT）がローになります。その後、1 次 IC の電源（ V_{CC1} ）を再起動して、IC をリセットする必要があります。図 27 は、LED2 がフォルト状態の間に 1 次 IC（ V_{CC1} ）を再起動するための、低ドロップアウト・リニア・レギュレータ（LDO）装備の標準的なゲート駆動回路を示しています。

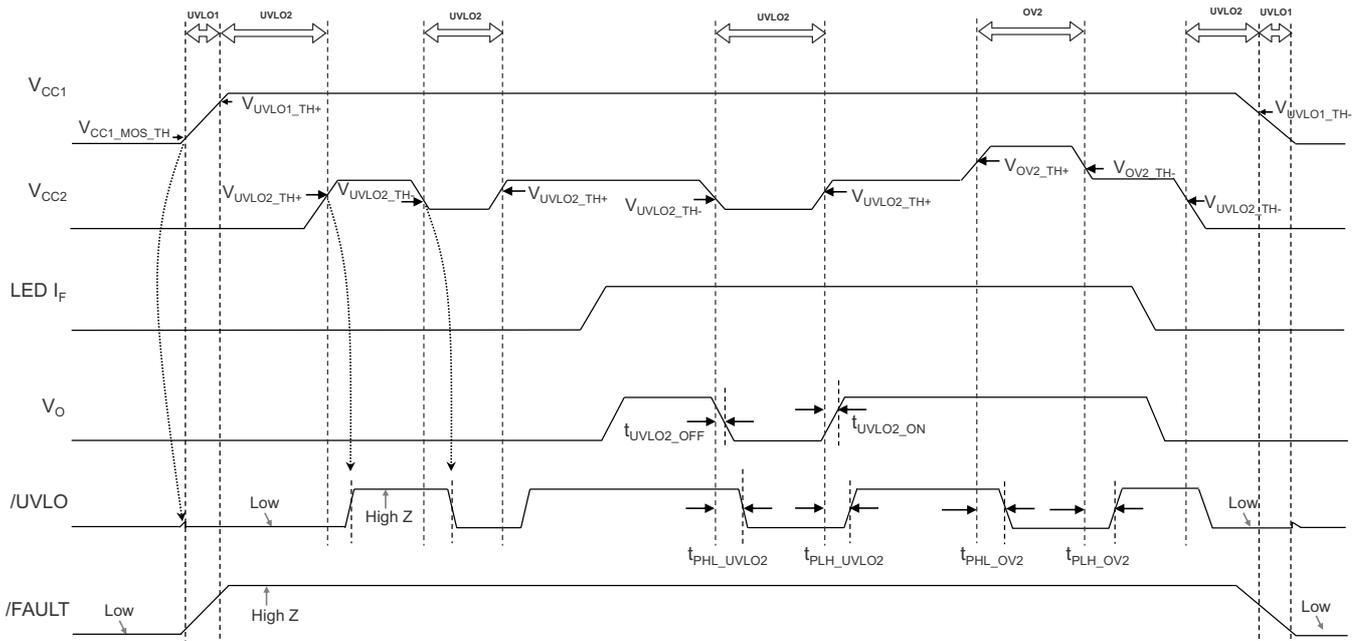
表 1：Status Flags

Conditions	Status Flags	
	/UVLO	/FAULT
Normal operation	Hi-Z	Hi-Z
VCC1 UVLO fault	Low	Hi-Z
VCC2 UVLO fault	Low	Hi-Z
VCC2 OV fault	Low	Hi-Z
Short circuit (SC) fault	Hi-Z	Low
LED2 fault	Low	Low

低電圧ロックアウトの説明

IGBT へのゲート電圧が不十分になると、IGBT のオン抵抗が増えるため、電力損失が大きくなり、高い熱放散によって IGBT が損傷することがあります。ACFJ-3530T は、常時、出力電源 (V_{CC2}) を監視しています。出力電源が低電圧ロックアウト (UVLO) しきい値を下回ると、IGBT を低電圧バイアスから保護するために、ゲート駆動出力を遮断します。起動時に、低電圧での不要なターンオンを防ぐために、UVLO 機能は ACFJ-3530T の出力を強制的にローにします。電源 (V_{CC2}) 電圧が V_{UVLO2_TH+} しきい値を超えると、UVLO フォルト状態がクリアされ、ゲート駆動は自動的に通常の機能を再開します。

図 29 : Circuit Behaviors during Power Up and Power Down



過電圧保護の説明

V_{CC2} が指定された V_{CC2} 過電圧保護しきい値を超えると、ゲート駆動の 1 次側の PGD ピンは、2 次過電圧不良を保護するために遮断されます。 V_{CC2} が V_{CC2} 過電圧保護しきい値を下回ると、PGD は再び安定化し始めます。 V_{CC2} 過電圧状態は、 $/UVLO$ ピンをローにすることで、マイクロコントローラにフィードバックされます。出力ドライバ (V_O)、ミラー・クランプ、Desat 保護、およびソフト遮断機能は、過電圧保護によってロックアウトされません。 $/UVLO$ および $/FAULT$ フィードバック真理値表については、[状態フラグ](#) を参照してください。

DESAT フォルト検出ブランキング時間

IGBT のターンオン後、DESAT フォルト検出回路は、IGBT コレクタ電圧が DESAT しきい値を下回るまでの短時間、無効化されたままにする必要があります。この期間は、全 DESAT ブランキング時間と呼ばれ、内部 DESAT ブランキング時間 ($t_{\text{DESAT(BLANKING)}}$) と外部ブランキング時間の両方の合計です。内部 DESAT ブランキング時間はデバイスに事前設定されていますが、外部ブランキング時間は、あらかじめ設定されている DESAT 検出電圧 ($V_{\text{DESAT_TH}}$) と Desat 充電電流 (I_{CHG}) に対してブランキング・コンデンサ (C_{BLANK}) を選択することで、柔軟に設定することが可能です。

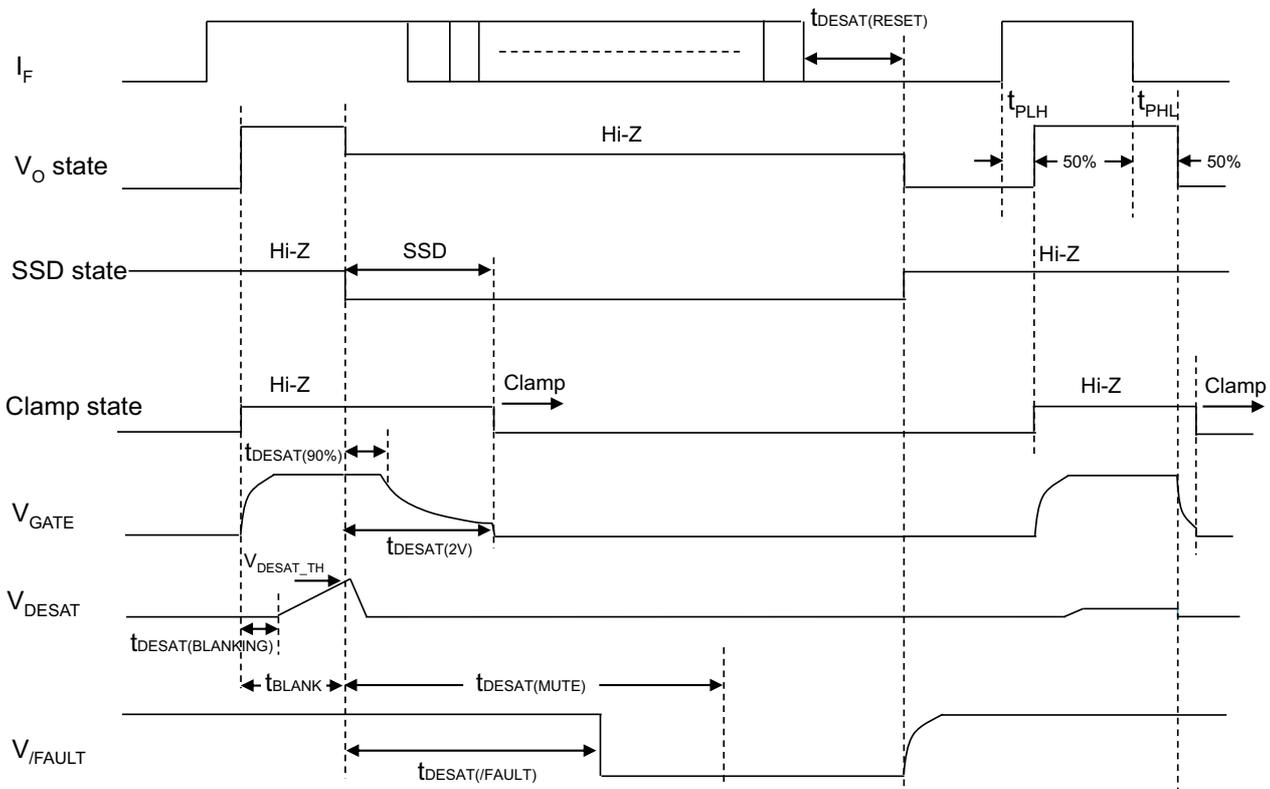
全ブランキング時間は、以下のとおり、内部ブランキング時間 ($t_{\text{DESAT(BLANKING)}}$)、外部ブランキング・コンデンサ (C_{BLANK})、DESAT 検出電圧 ($V_{\text{DESAT_TH}}$)、および DESAT 充電電圧 (I_{CHG}) を考慮して計算されます。

全 DESAT ブランキング時間、 $t_{\text{BLANK}} = t_{\text{DESAT(BLANKING)}} + C_{\text{BLANK}} \times V_{\text{DESAT_TH}} / I_{\text{CHG}}$

IGBT 短絡イベント時

1. DESAT 端子が IGBT の VCE 電圧を監視します。
2. DESAT 端子の電圧が 9.1V を超えると、IGBT ゲート電圧 (V_{GATE}) は、ソフト遮断 (SSD) ピンにより、ゆっくりと低下します。出力ドライバ VO は高インピーダンス状態になります。
3. 出力ドライバ VO は、ミュート時間 ($t_{DESAT(MUTE)}$) 中、すべての PWM コマンドを無視し、高インピーダンス状態のままです。
4. /FAULT 出力がローになり、マイクロコントローラにフォルト状態を通知します。
5. マイクロコントローラは、適切なアクションを取ります。
6. $t_{DESAT(MUTE)}$ の期間終了後、フォルト状態がクリアできるようになるまで、 $t_{DESAT(RESET)}$ の間は、LED 入力をローの状態にしておく必要があります。/FAULT 状態はハイに戻り、SSD 出力は高インピーダンス状態に戻ります。
7. フォルト状態がクリアされた後、出力 (VO) は LED 入力に応答し始めます。

図 30 : Circuit Behaviors during IGBT Short Circuit Event



プリント回路基板レイアウトの考慮事項

プリント回路基板（PCB）のレイアウトの設計時には、最適な性能が得られるように配慮する必要があります。

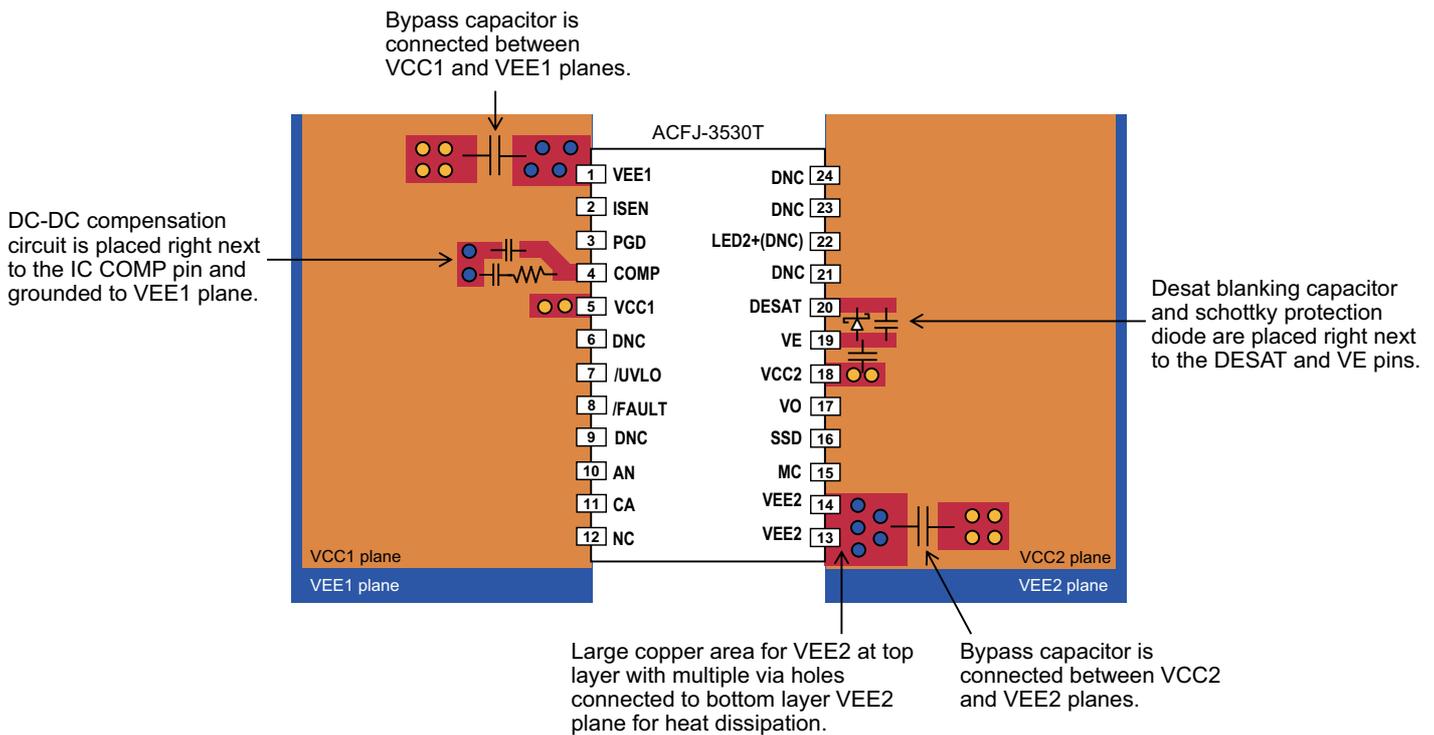
高電圧絶縁回路と入力基準回路の間は、常に適切な間隔を維持します。プリント回路基板の2つの隣接するハイサイド絶縁領域の間は等しい最小間隔を維持する必要があります。この間隔が不十分な場合、有効絶縁性能が低下し、寄生結合が増え、CMR 性能に影響を及ぼします。

電源バイパス・コンデンサの配置と配線には特に注意が必要です。スイッチングによる瞬時電流が流れる際、ゲートを充電する電力の大部分はバイパス・コンデンサから供給されます。コンデンサとゲートとの間の充電および放電パスを短く維持すると、明瞭なスイッチング波形と低電源リップルを実現できます。 V_{CC2} 用に電源プレーンと V_{EE2} 用にグランド・プレーンを使用することを推奨します。また、 V_{CC2} （ピン18）や V_{EE2} （ピン 13 と 14）などの IC 電源ピンと、外部出力バッファは、局所的に複数のビア・ホールを使用して、これらのプレーンに直接接続することを推奨します。同様のレイアウト・ガイドラインは、電源 V_{CC1} （ピン 5）などの入力側回路、入力側グランド V_{EE1} （ピン 1）、および電源デカップリング・コンデンサにも当てはまります。

図 31 に示すように、熱放散を目的として、大きな銅領域は最上位層 V_{EE2} （ピン 13 と 14）に配置し、複数のビア・ホールのある銅領域は PCB 最下層の V_{EE2} プレーンに接続することを推奨します。

COMP（ピン 4）に接続された補償ネットワーク回路は、短いトレースで IC の横に配置します。

図 31 : Example of Recommended Layout



Broadcom、パルス・ロゴ、Connecting everything、Avago Technologies、Avago、A ロゴ、および R²Coupler は、アメリカ合衆国、他の国々および / または EU における Broadcom および / または関連会社の商標です。

Copyright © 2020 Broadcom. All Rights Reserved.

用語「Broadcom」は、Broadcom Inc. および/またはその子会社を指します。詳細は、www.broadcom.com をご覧ください。

Broadcom は、信頼性、機能または設計を改善するために、本書の製品またはデータを通知なしに変更する権利を留保します。Broadcom によって提供される情報の正確さと信頼性には細心の注意を払っています。しかしながら、Broadcom は、この情報の適用または使用、あるいは本書に記載された製品または回路の適用または使用から生じるいかなる責任も負わず、特許権や他の権利によるいかなるライセンスも譲渡しません。