

ACFJ-332B

レール・ツー・レール出力電圧、MOSFET/GaN 対応 産業用デュアルチャンネル高速ゲート駆動フォトカプラ (SO-24 パッケージ)

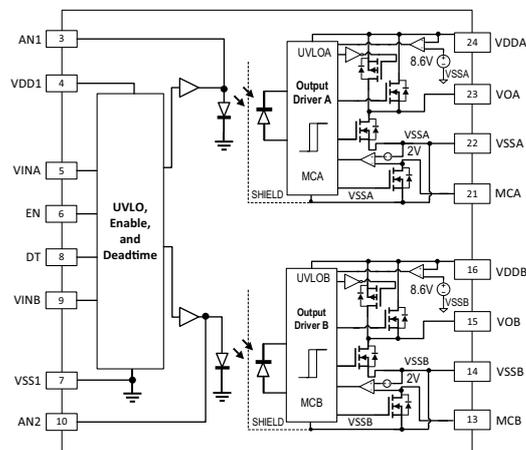
概要

Broadcom® ACFJ-332B は、独立した 2 つの絶縁されたチャンネルとともに、省スペースを実現するコンパクトで表面実装可能な SO-24 パッケージに収められた、デュアルチャンネル、高速、レール・ツー・レール出力ゲート駆動フォトカプラです。入力チャンネルと出力チャンネル間で $5000 V_{RMS}$ の絶縁耐圧、2 つの出力チャンネル間で $700 V_{RMS}$ の絶縁耐圧を提供します。

ACFJ-332B は広範な入力電圧とドライバ出力電圧で動作します。また、TTL および CMOS 互換のロジックによる入力バッファ駆動、システム機能安全要件をサポートする有効化ピン (EN)、2 つのドライバ・チャンネル間のプログラム可能なデッド・タイム、高周波 DC-DC および AC-DC コンバータで MOSFET/GaN を駆動する入力電源低電圧ロックアウト保護などの拡張機能を提供しています。

Broadcom の絶縁製品は、高温対応が求められる産業用途において重要な、安全な信号分離を実現する強化絶縁と信頼性を提供します。

図 1: ACFJ-332B 内部ブロック図



特長

- 動作温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 広い供給動作範囲:
 - VDD1 範囲: $3.0\text{V} \sim 5.5\text{V}$
 - VDDA および VDDB 範囲: $10\text{V} \sim 25\text{V}$
- 低い供給電流によりブートストラップ・ハーフブリッジ・トポロジが実現可能
- TTL および CMOS との互換入力
- 強化された安全機能用の EN ピン
- プログラム可能なデッド・タイム
- ヒステリシス付き低電圧ロックアウト (UVLO) 保護:
 - VDD1 UVLO: 2.7V
 - VDDA および VDDB UVLO: 8.6V
- レール・ツー・レール出力
- 最小ピーク出力電流: $\pm 2.4\text{A}$
- 最小ミラー・クランプ・シンク電流: 1A
- 最大伝達遅延: 65ns
- 最大チャンネル間スキュー: 15ns
- 高いノイズ耐性
 - 同相過渡耐性 (CMTI): $150\text{kv/s}@V_{CM} = 1500\text{V}$
- 8.3mm 沿面距離と空間距離の SO-24 パッケージの絶縁型デュアルチャンネル・ゲートドライバ
- 2 つの出力ドライバ間の沿面距離 3.5mm
- 安全規格認証:
 - UL/cUL 1577、 $5000 V_{RMS}$ 、1 分間
 - IEC/EN 60747-5-5 $V_{IORM} = 1414 V_{PEAK}$

応用例

- 電源と EV 充電
- 再生可能エネルギーのインバータとエネルギーの貯蔵
- 産業用オートメーションおよびロボット向けモータ駆動

注意! この製品を取り扱う際は、静電気放電による損傷や劣化を防ぐため、一般的な静電気対策を講じてください。このデータシートに記載された製品は、軍事または航空宇宙の用途および環境で使用しないでください。製品は、AEC-Q100 認定されていないため、自動車用途での使用は避けてください。

オーダ情報

型名	オプション (RoHS 指令準拠)	パッケージ	表面実装	テープ & リール	IEC 60747-5-5	出力ドライバ UVLO レベル	梱包単位
ACFJ-332B	-000E	SO-24	X		X	8V	45 個/チューブ
	-500E		X	X	X		850 個/リール

ご注文の際は、型名欄から選択した製品型名とオプション欄のご希望のオプションとを組み合わせ発注してください。

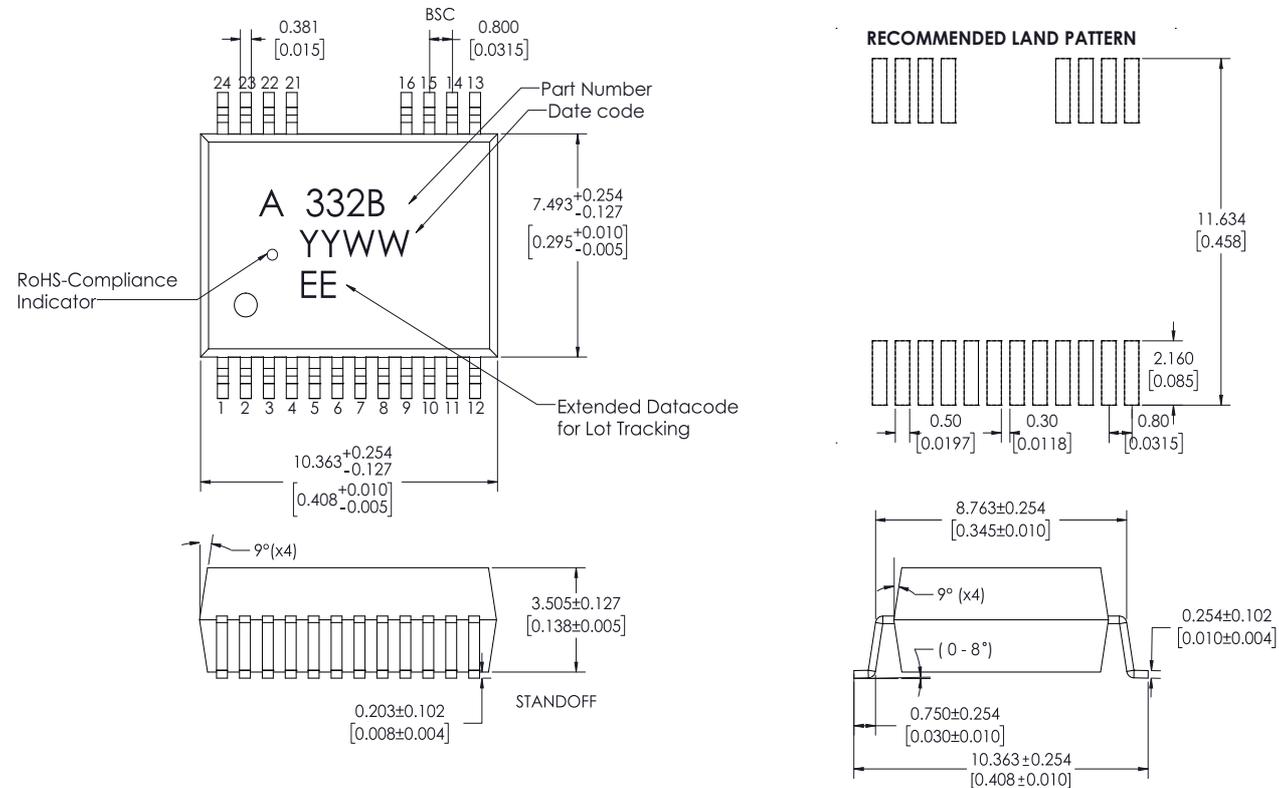
例：

ACFJ-332B-500E は、RoHS 指令準拠、IEC 60747-5-5 安全規格認証、テープ & リール梱包、SO-24 表面実装パッケージ、8V の出力 UVLO 電圧を備えた製品です。

オプションのデータシートもご用意しています。詳細は、Broadcom の正規販売代理店までお問い合わせください。

パッケージ寸法図

図 2：ACFJ-332B パッケージ寸法図



NOTE:

- Dimensions are in millimeters (inches).
- Lead coplanarity = 0.10 mm (0.004 inches), Mold Flash on each side = 0.203 mm (0.008 inches) max. Customers should contact their PCB manufacturers for solder-mask tolerance between and around signal pads.

推奨鉛フリー IR プロファイル

JEDEC 規格 J-STD-020 (最新版) に準拠したリフロー条件を推奨。

注：非ハロゲン化物系フラックスを使用してください。

製品概要

ACFJ-332B (図1 に示す) は、コンパクトな SO-24 パッケージに収められた、デュアルチャネル、高速、レール・ツー・レール出力絶縁型 MOSFET/GaN ゲート駆動フォトカプラです。ACFJ-332B は、制御回路のシームレスな統合を可能にし、機能安全要件をサポートする多くの拡張機能を備えています。

3V ~ 5.5V の広範な入力電圧 VDD1 と 10V ~ 25V のドライバ出力電圧 VDDA および VDDB で動作可能です。入力電圧部と出力電圧部はどちらも低電圧ロックアウト保護を備えているため、UVLO 保護が検知されると、両方の出力ドライバ (VOA と VOB) がロー状態になります。2つの入力ピン (VINA と VINB) は TTL および CMOS ロジックレベルで互換可能なため、デッド・タイム制御が無効な場合は、それぞれの入力ピン (VINA と VINB) は外部バッファなしでデュアル絶縁型出力ドライバを独立して制御できます。外部抵抗を DT ピンに接続することにより、デッド・タイムの調整が可能です。出力ドライバは1組のハーフブリッジ・ドライバとして構成され、2つのチャネル間に目的のデッド・タイム間隔が挿入されます。

ACFJ-332B 内部には有効化 (EN) ロジック制御が統合されているため、出力ドライバがロー状態になったときに EN ピンをローにすることにより ACFJ-332B をハードシャットダウンできます。EN ピンが未接続の場合は、内部で VSS1 に接続されている内部抵抗 500kΩ により ACFJ-332B の出力は無効になります。

ACFJ-332B は、搭載された拡張機能により、システム統合と制御における柔軟性、高い同相ノイズ耐性、アクティブ・ミラー電流クランプ、高度な入出力間絶縁とチャネル間絶縁が求められるゲート駆動用途での使用にうってつけです。

パッケージのピン配列と説明

図 3：ACFJ-332B ピン配列



ピン番号	ピン名	概要
1	DNC	外部で接続しないでください。このピンは IC リード・フレームに接続されています。
2	DNC	外部で接続しないでください。このピンは IC リード・フレームに接続されています。
3	AN1	入力 LED1 アノード。テスト用ピン、外部回路に接続しないでください。
4	VDD1	入力側正電源。
5	VINA	A チャネル用入力制御信号。VINA 入力は TTL/CMOS ロジック・レベルとの互換性を備えています。このピンには内部プルダウン 500-kΩ 抵抗があります。このピンを使用しない場合は、グランドに接続します。
6	EN	入力有効化ピン。50 ns 以上のロジック高入力が A チャネルと B チャネルの両方を有効にします。このピンには内部プルダウン 500-kΩ 抵抗があります。
7	VSS1	入力側グランド。
8	DT	デッド・タイム入力制御。次の式に従ってデッド・タイムを調整するには、DT ピンと VSS1 ピンの間に抵抗 (R _{DT}) を接続します： $t_{DT\ in} (ns) = (8.9 \times R_{DT}) + 18$, R _{DT} in (kΩ)。ノイズフィルタ用、0.1 μF のバイパス・セラミック・コンデンサを DT ピンに追加します。DT 機能を使用しない場合は、VDD1 に接続する必要があります。
9	VINB	B チャネル用入力制御信号。VINB 入力は TTL/CMOS ロジックとの互換性を備えています。このピンには内部プルダウン 500-kΩ 抵抗があります。このピンを使用しない場合は、グランドに接続します。
10	AN2	入力 LED2 アノード。テスト用ピン、外部回路に接続しないでください。
11	DNC	外部で接続しないでください。このピンは IC リード・フレームに接続されています。
12	DNC	外部で接続しないでください。このピンは IC リード・フレームに接続されています。
13	MCB	B チャネルのミラー・クランプ出力。MCB ピンを使用しない場合は、VSSB ピンに接続します。
14	VSSB	B チャネル出力グランド。
15	VOB	B チャネル・ゲート駆動出力。
16	VDDB	B チャネル正電源。
21	MCA	A チャネルのミラー・クランプ出力。MCA ピンを使用しない場合は、VSSA ピンに接続します。
22	VSSA	A チャネル出力グランド。
23	VOA	A チャネル・ゲート駆動出力。
24	VDDA	A チャネル正電源。

安全規格

The ACFJ-332B is approved by the following organizations:

UL/cUL	UL/cUL 1577, compliance with U.S. and Canadian requirements, component recognition program up to $V_{ISO} = 5000 V_{RMS}$.
IEC/EN	IEC/EN 60747-5-5 Maximum working insulation voltage, $V_{IORM} = 1414 V_{PEAK}$ Highest allowable overvoltage, $V_{IOTM} = 8000 V_{PEAK}$

IEC/EN 60747-5-5 絶縁特性

Description	Symbol	Characteristic	Unit
Insulation Classification per DIN VDE 0110/1.89, Table 1 For Rated Mains Voltage $\leq 600 V_{RMS}$ For Rated Mains Voltage $\leq 1000 V_{RMS}$		I - IV I - III	
Climatic Classification		40/125/21	
Pollution Degree (DIN VDE 0110/1.89)		2	
Maximum Working Insulation Voltage	V_{IORM}	1414	V_{PEAK}
Input to Output Test Voltage, Method b ^a $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test with $t_m = 1$ second, Partial Discharge < 5 pC	V_{PR}	2652	V_{PEAK}
Input to Output Test Voltage, Method a ^a $V_{IORM} \times 1.6 = V_{PR}$, Type and Sample Test, $t_m = 10$ seconds, Partial Discharge < 5 pC	V_{PR}	2262	V_{PEAK}
Highest Allowable Overvoltage ^a (Transient Overvoltage $t_{ini} = 60$ seconds)	V_{IOTM}	8000	V_{PEAK}
Safety-Limiting Values – maximum values allowed in the event of a failure ^b Case Temperature Input Current Output Power	T_S $I_{S,INPUT}$ $P_{S,OUTPUT}$	175 400 1200	$^{\circ}C$ mA mW
Insulation Resistance at T_S , $V_{IO} = 500V$	R_S	$> 10^9$	Ω

- a. Refer to the optocoupler section of the Isolation and Control Components Designer's Catalog, under the Product Safety Regulation section IEC/EN 60747-5-5, for a detailed description of Method a and Method b partial discharge test profiles.
- b. Isolation characteristics are guaranteed only within the safety maximum ratings that must be ensured by protective circuits in application. Surface-mount classification is Class A in accordance with CECC00802.

絶縁と安全に関連する仕様

Parameter	Symbol	Value	Unit	Conditions
Minimum External Air Gap (Clearance)	L(101)	8.3	mm	Measured from input terminals to output terminals, shortest distance through air.
Minimum External Tracking (Creepage)	L(102)	8.3	mm	Measured from input terminals to output terminals, shortest distance path along body.
Minimum Internal Plastic Gap (Internal Clearance)		0.5	mm	Through insulation distance conductor to conductor, usually the straight-line distance thickness between the emitter and detector.
Tracking Resistance (Comparative Tracking Index)	CTI	400	Volts	DIN IEC 112/VDE 0303 Part 1.
Isolation Group		II		Material Group (DIN VDE 0110).

絶対最大定格

Unless otherwise specified, all voltages at input IC reference to V_{SS1} , all voltages at A-channel output IC reference to V_{SSA} , and all voltages at B-channel output IC reference to V_{SSB} .

Parameter	Symbol	Min.	Max.	Unit	Note
Storage Temperature	T_S	-55	150	°C	
Operating Temperature	T_A	-40	125	°C	
IC junction Temperature	T_J	—	150	°C	
Input Supply Voltage	V_{DD1}	-0.3	6	V	
Input Control Signal Voltage	V_{IN_A}, V_{IN_B}	-0.3	6	V	
Input Enable Voltage	V_{EN}	-0.3	6	V	
Dead Time Control Input Voltage	V_{DT}	-0.3	6	V	
Output Supply Voltage	V_{DDA}, V_{DDB}	-0.3	30	V	
Output Driver Voltage	V_{OA}, V_{OB}	-0.3	30	V	
Miller Clamp Voltage	V_{MCA}, V_{MCB}	-0.3	30	V	
Peak Output Current	$ I_{OA} , I_{OB} $	—	4	A	a
Peak Miller Clamp Current	$ I_{MCA} , I_{MCB} $	—	4	A	a
Channel-to-Channel Internal Isolation Voltage	$ V_{SSA} - V_{SSB} $	—	1414	V	
Input IC Power Dissipation	P_{IN}	—	150	mW	b
Output IC Power Dissipation (one channel)	P_{OUTA}, P_{OUTB}	—	400	mW	c
Total Power Dissipation	P_{TOTAL}	—	950	mW	d

- Maximum pulse width = 1 μ s, maximum duty = 0.7%. Operation conditions must not exceed the maximum IC junction temperature of $T_{J(max)} = 150^\circ\text{C}$.
- Input IC power dissipation is derated linearly above 105°C from 150 mW to 100 mW at 125°C for the high effective thermal conductivity board. For the low effective thermal conductivity board, input IC power dissipation is derated linearly above 105°C from 150 mW to 70 mW at 125°C. See [ACFJ-332B の熱抵抗モデル](#) for details.
- Each channel output IC power dissipation is limited to 400 mW. Output IC power dissipation is derated linearly above 105°C from 400 mW to 320 mW at 125°C for the high effective thermal conductivity board. For the low effective thermal conductivity board, output IC power dissipation is derated linearly above 105°C from 400 mW to 240 mW at 125°C. The PCB thermal resistance characteristic has to be considered so as not to exceed absolute maximum rating. See [ACFJ-332B の熱抵抗モデル](#) for details.
- Total power dissipation is derated linearly above 105°C from 950 mW to 740 mW at 125°C for the high effective thermal conductivity board. For the low effective thermal conductivity board, the total IC power dissipation is derated linearly above 105°C from 950 mW to 550 mW at 125°C. See [ACFJ-332B の熱抵抗モデル](#) for details.

推奨動作条件

Unless otherwise specified, all voltages at input IC reference to V_{SS1} , all voltages at A-channel output IC reference to V_{SSA} and all voltages at B-channel output IC reference to V_{SSB} .

Parameter	Symbol	Min.	Max.	Unit	Note
Operating Temperature	T_A	-40	125	°C	
Input Supply Voltage	V_{DD1}	3	5.5	V	
Output Supply Voltage	V_{DDA}, V_{DDB}	10	25	V	
Dead Time Resistor Range	R_{DT}	10	62	kΩ	a
Input IC Supply Decoupling Capacitor	C_{VDD1}	1	—	μF	b
Output IC Supply Decoupling Capacitor	C_{VDDA}, C_{VDDB}	10	—	μF	c
Minimum Input Pulse Width	$t_{ON(VINA)}, t_{ON(VINB)}$	50	—	ns	d

a. The dead time (t_{DT}) range is programmable from 110 ns to 572 ns using this formula: t_{DT} in (ns) = $(8.9 \times R_{DT}) + 18$, R_{DT} in (kΩ).

b. Connect the input supply decoupling capacitor between V_{DD1} to V_{SS1} .

c. Connect the output supply decoupling capacitor between V_{DDA} to V_{SSA} and V_{DDB} to V_{SSB} .

d. Minimum input pulse width for a guarantee output pulse under no load conditions.

電気およびスイッチング特性仕様

Unless otherwise specified, all minimum and maximum specifications are at recommended operating conditions; all voltages at input IC reference to V_{SS1} , all voltages at A-channel output IC reference to V_{SSA} and all voltages at B-channel output IC reference to V_{SSB} . All typical values at $T_A = 25^\circ\text{C}$, $V_{DD1} - V_{SS1} = 3.3\text{V}$ or 5V , $V_{DDA} - V_{SSA} = 15\text{V}$, $V_{DDB} - V_{SSB} = 15\text{V}$. The DT pin is tied to V_{DD1} (DT disabled), except for the t_{DT} test.

Parameter	Symbol	Min.	Typ.	Max.	Unit	Test Conditions	Fig.	Note
DC Specifications								
Supply Current								
Input Supply Current (Quiescent)	I_{VDD1}	—	1.5	2.7	mA	$V_{IN_A} = 0\text{V}, V_{IN_B} = 0\text{V}$	24	
Input Supply Current at Operation (per channel)	I_{VDD1_SW}	—	6.3	—	mA	$f = 200\text{ kHz}$, Duty cycle = 50%		
Output Supply Current (Quiescent per channel)	I_{VDDA}, I_{VDDB}	—	4	5.9	mA	$V_{IN_A} = 0\text{V}, V_{IN_B} = 0\text{V}$	25	
Output Supply Current at Operation (per channel)	I_{VDDA_SW}, I_{VDDB_SW}	—	4.4	—	mA	$f = 200\text{ kHz}$, Duty cycle = 50%, No load		
V_{DD1} UVLO Threshold								
V_{DD1} UVLO Threshold Voltage, Low to High	V_{UV1_TH+}	2.4	2.7	2.95	V			
V_{DD1} UVLO Threshold Voltage, High to Low	V_{UV1_TH-}	2.2	2.5	2.75	V			
V_{DD1} UVLO Hysteresis	V_{UV1_HYS}	—	0.2	—	V			

Parameter	Symbol	Min.	Typ.	Max.	Unit	Test Conditions	Fig.	Note
V_{DDA} and V_{DDB} UVLO Threshold (8V UVLO Version)								
V _{DDA} and V _{DDB} UVLO Threshold Voltage, Low to High	V _{UVLOA_TH+} , V _{UVLOB_TH+}	8.1	8.6	9.1	V		16	
V _{DDA} and V _{DDB} UVLO Threshold Voltage, High to Low	V _{UVLOA_TH-} , V _{UVLOB_TH-}	7.1	7.6	8.1	V		16	
V _{DDA} and V _{DDB} UVLO Hysteresis	V _{UVLOA_HYS} , V _{UVLOB_HYS}	—	1.0	—	V		17	
Input Control Threshold (VIN_A, VIN_B, EN)								
Input Control High Threshold Voltage	VIN _{AH} , VIN _{BH}	2	—	—	V		18	
Input Control Low Threshold Voltage	VIN _{AL} , VIN _{BL}	—	—	0.8	V		19	
Enable High Threshold Voltage	V _{ENH}	2	—	—	V		22	
Enable Low Threshold Voltage	V _{ENL}	—	—	0.8	V		23	
Gate Driver Output (V_{OA}, V_{OB})								
Output High Peak Sourcing Current	I _{OA} H, I _{OB} H	—	-4.0	-2.5	A	V _{DDA} - V _{OA} = 15V, V _{DDB} - V _{OB} = 15V		a
Output Low Peak Sinking Current	I _{OA} L, I _{OB} L	2.4	4.0	—	A	V _{OA} - V _{SSA} = 15V, V _{OB} - V _{SSB} = 15V		a
Output High Transistor on Resistance, R _{DS(ON)}	R _{OA} H, R _{OB} H	—	15	—	Ω	I _{OA} = -10 mA, I _{OB} = -10 mA		
Output Low Transistor on Resistance, R _{DS(ON)}	R _{OA} L, R _{OB} L	—	1.2	—	Ω	I _{OA} = 10 mA, I _{OB} = 10 mA		
High Level Output Voltage	V _{OA} H, V _{OB} H	—	V _{DDA,B} - 0.15	—	V	I _{OA} = -10 mA, I _{OB} = -10 mA		
Low Level Output Voltage	V _{OA} L, V _{OB} L	—	0.01	—	V	I _{OA} = 10 mA, I _{OB} = 10 mA		
Clamp Parameters								
Clamp Threshold Voltage	V _{MCA_TH} , V _{MCB_TH}	1.5	1.8	2.1	V			
Clamp Low Peak Sinking Current	I _{MCA} L, I _{MCB} L	1.0	2.2	—	A	V _{MCA} = V _{SSA} + 3.5V, V _{MCB} = V _{SSB} + 3.5V		

Parameter	Symbol	Min.	Typ.	Max.	Unit	Test Conditions	Fig.	Note
AC Specifications								
V_{DD1} - V_{SS1} = 5V						R _g (external) = 4.7Ω, Load = 2.2 nF, f = 200 kHz, Duty cycle = 50%		
Propagation Delay Time from VIN _{A,B} to V _{O_{A,B}} , Low to High (per channel)	t _{PLH}	—	35	65	ns			
Propagation Delay Time from VIN _{A,B} to V _{O_{A,B}} , High to Low (per channel)	t _{PHL}	—	40	65	ns			
V_{DD1} - V_{SS1} = 3.3V								
Propagation Delay Time from VIN _{A,B} to V _{O_{A,B}} , Low to High (per channel)	t _{PLH}	—	40	70	ns			
Propagation Delay Time from VIN _{A,B} to V _{O_{A,B}} , High to Low (per channel)	t _{PHL}	—	43	70	ns			
V_{DD1} - V_{SS1} = 3.3V or 5V								
Pulse Width Distortion (t _{PHL} - t _{PLH})	PWD	-22	—	22	ns			b
Dead Time Distortion Caused by Any Two Parts (t _{PLH} - t _{PHL})	DTD	-26	—	26	ns			c
Channel-to-Channel Skew	t _{CSK}	-15	—	15	ns			d
Output 20% to 80% Rise Time (per channel)	t _R	—	10	17	ns			
Output 80% to 20% Fall Time (per channel)	t _F	—	10	18	ns			
Output High Level Common Mode Transient Immunity	ICM _H	150	—	—	kV/μs	VIN _A = VIN _B = 5V V _{DDA} = V _{DDB} = 15V V _{CM} = 1500V T _A = 25°C		e
Output Low Level Common Mode Transient Immunity	ICM _L	150	—	—	kV/μs	VIN _A = VIN _B = 0V V _{DDA} = V _{DDB} = 15V V _{CM} = 1500V T _A = 25°C		f
Dead Time Programming (Design Value Set by R_{DT})								
Dead Time	t _{DT}	—	110	—	ns	R _{DT} = 10 kΩ		g
		—	572	—	ns	R _{DT} = 62 kΩ		g

- Short circuit pulsed current at V_{DD} - V_{SS} = 15V and pulse duration less than 1 μs.
- Pulse width distortion (PWD) is defined as t_{PHL} - t_{PLH} for any given device.
- Dead time distortion (DTD) is defined as t_{PLH} - t_{PHL} between any two parts under the same test condition. A negative DTD reduces original system dead time, while a positive DTD increases original system dead time.
- Channel-to-channel skew (t_{CSK}) is defined as propagation delay difference between two channels under the same test conditions.
- Common mode transient immunity in the high state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM}, to ensure that the output will remain in the high state (that is, V_O > 12V).
- Common mode transient immunity in a low state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM}, to ensure that the output will remain in a low state (that is, V_O < 1.0V).
- Dead time is measured at the gate driver outputs, V_{OA} and V_{OB}. The measured dead time value includes the effect of dead time distortion (DTD): t_{DT} in (ns) = (8.9 × R_{DT}) + 18, R_{DT} in (kΩ).

パッケージ特性

Parameter	Symbol	Min.	Typ.	Max.	Unit	Test Conditions	Note
Input-Output Momentary Withstand Voltage	V_{ISO}	5000	—	—	V_{RMS}	$RH < 50\%$, $t = 1 \text{ min.}$, $T_A = 25^\circ\text{C}$	a, b, c
Resistance (Input-Output)	R_{I-O}	—	10^{14}	—	Ω	$V_{I-O} = 500 \text{ Vdc}$	c
Capacitance (Input-Output)	C_{I-O}	—	0.9	—	pF	$f = 1 \text{ MHz}$	

- a. In accordance with UL1577, each optocoupler is proof-tested by applying an insulation test voltage $\geq 6000 V_{RMS}$ for 1 second.
- b. The Input-Output Momentary Withstand Voltage is a dielectric voltage rating that should not be interpreted as an input-output continuous voltage rating. For the continuous voltage, ratings refer to your equipment level safety specification or the [\[IEC/EN 60747-5-5 絶縁特性\]](#) table.
- c. Device is consider as a two-terminal device: pins 1 to 12 shorted together and pins 13 to 24 shorted together.

パラメータの測定

図4 は、ゲート駆動の伝達遅延を測定するためのテスト設定を示しています。これらの設定は、大半の用途で見られる負荷効果に関連付けられます。

図 4 : Propagation Delay Measurement Test Setup

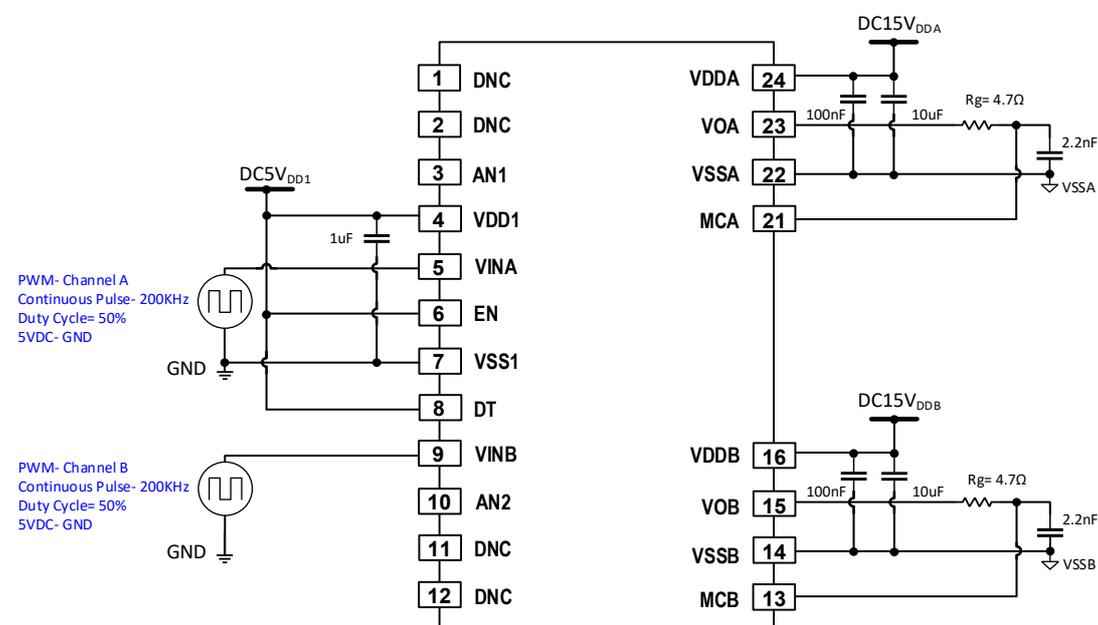


図5 は、図4 に示すテスト設定からデッド・タイム機能を無効にした場合の伝達遅延の測定と基準波形を示しています。

図 5 : Propagation Delay Waveforms with Dead Time Disabled (DT Is Tied to VDD1)

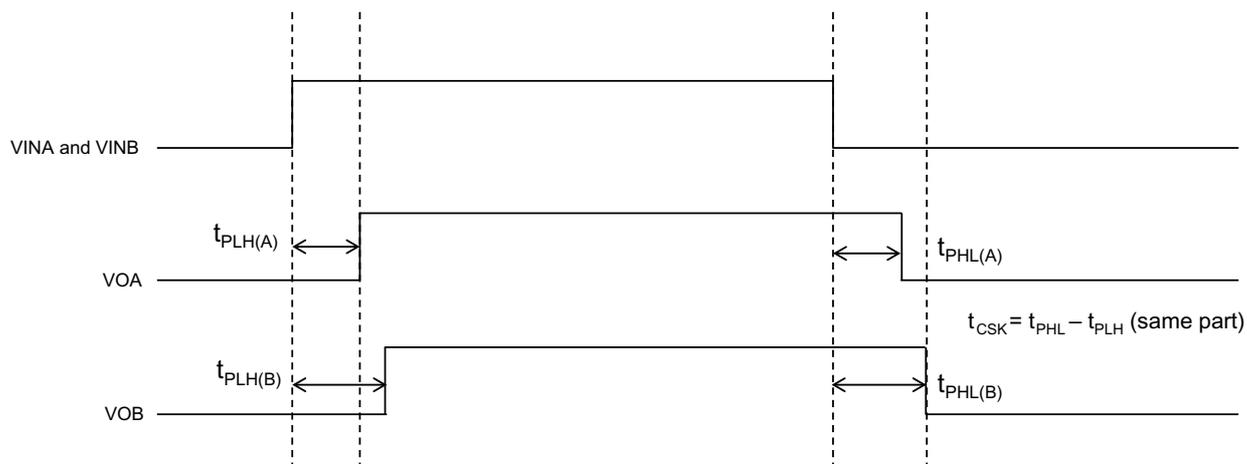
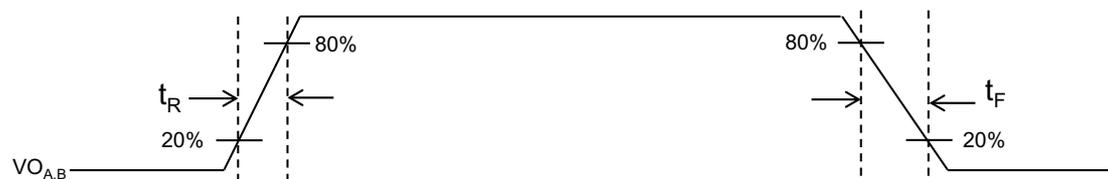


図6 は、20% ~ 80% の立ち上がり時間と立ち下がり時間の測定を示しています。

図 6 : Rise and Fall Time Measurement



以下の図は、同相ノイズ除去試験回路を示しています。CMR V_O High Test (図7) と CMR V_O Low Test (図8) の両方は、 $V_{CM}=1500V$ でテストされます。

図 7 : CMR V_O High Test Circuit

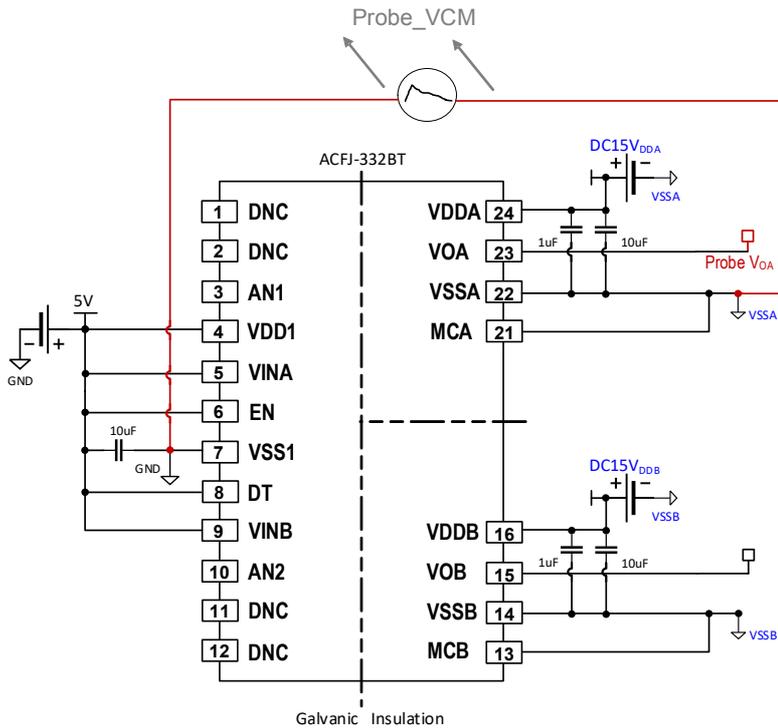
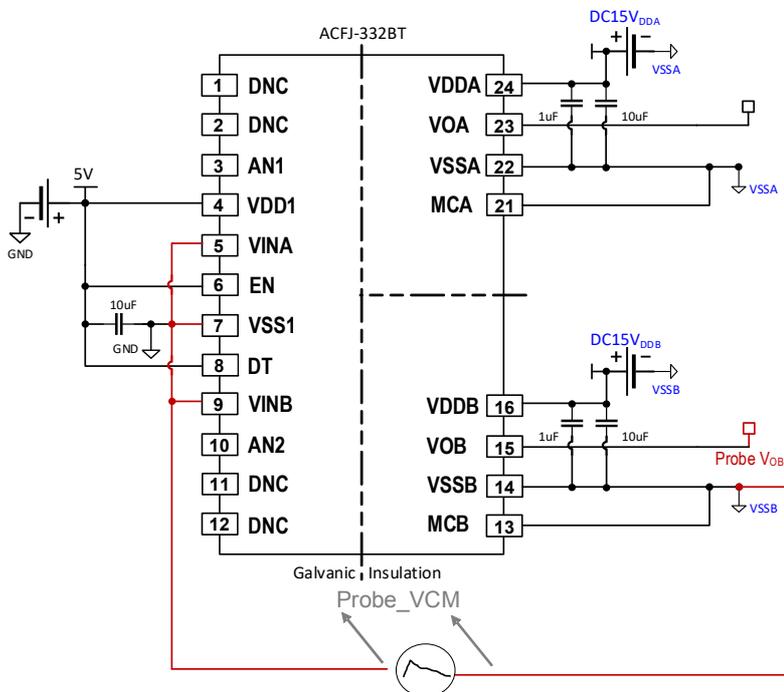


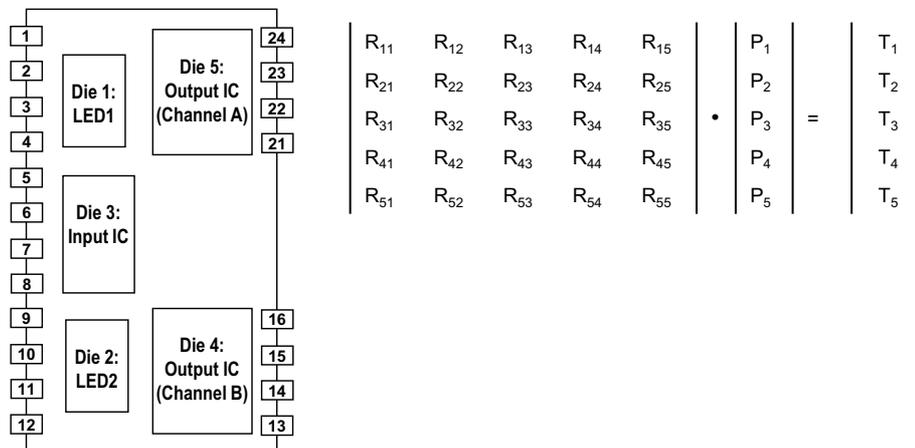
図 8 : CMR V_O Low Test Circuit



ACFJ-332B の熱抵抗モデル

図9に測定回路図を示します。これは、5つの熱源があるマルチチップ・パッケージです。線形重ね合わせの理論を適用すると、1つのダイの加熱の効果は隣接するダイに起因すると考えられます。最初に1つのダイを加熱し、熱平衡に達した後すべてのダイの温度を記録します。次に、2番目のダイを加熱し、すべてのダイの温度を記録します。これを、5番目のダイが加熱されるまで繰り返します。周囲温度、ダイ接合部温度および消費電力が既知の場合は、結果として得られる熱抵抗を決定できます。熱抵抗の計算は、5つの熱源からの5×5行列形式に入れることができます。

図9：Diagram of ACFJ-332B for Thermal Resistance Model



定義

R11：ダイ1の加熱によるダイ1の熱抵抗 (°C/W)
R12：ダイ2の加熱によるダイ1の熱抵抗 (°C/W)
R13：ダイ3の加熱によるダイ1の熱抵抗 (°C/W)
R14：ダイ4の加熱によるダイ1の熱抵抗 (°C/W)
R15：ダイ5の加熱によるダイ1の熱抵抗 (°C/W)

R21：ダイ1の加熱によるダイ2の熱抵抗 (°C/W)
R22：ダイ2の加熱によるダイ2の熱抵抗 (°C/W)
R23：ダイ3の加熱によるダイ2の熱抵抗 (°C/W)
R24：ダイ4の加熱によるダイ2の熱抵抗 (°C/W)
R25：ダイ5の加熱によるダイ2の熱抵抗 (°C/W)

R31：ダイ1の加熱によるダイ3の熱抵抗 (°C/W)
R32：ダイ2の加熱によるダイ3の熱抵抗 (°C/W)
R33：ダイ3の加熱によるダイ3の熱抵抗 (°C/W)
R34：ダイ4の加熱によるダイ3の熱抵抗 (°C/W)
R35：ダイ5の加熱によるダイ3の熱抵抗 (°C/W)

R41：ダイ1の加熱によるダイ4の熱抵抗 (°C/W)
R42：ダイ2の加熱によるダイ4の熱抵抗 (°C/W)
R43：ダイ3の加熱によるダイ4の熱抵抗 (°C/W)
R44：ダイ4の加熱によるダイ4の熱抵抗 (°C/W)
R45：ダイ5の加熱によるダイ4の熱抵抗 (°C/W)

R51：ダイ1の加熱によるダイ5の熱抵抗 (°C/W)
R52：ダイ2の加熱によるダイ5の熱抵抗 (°C/W)
R53：ダイ3の加熱によるダイ5の熱抵抗 (°C/W)
R54：ダイ4の加熱によるダイ5の熱抵抗 (°C/W)
R55：ダイ5の加熱によるダイ5の熱抵抗 (°C/W)

P1：ダイ1の消費電力 (W)
P2：ダイ2の消費電力 (W)
P3：ダイ3の消費電力 (W)
P4：ダイ4の消費電力 (W)
P5：ダイ5の消費電力 (W)

T1：すべてのダイからの熱によるダイ1の接合部温度 (°C)
T2：すべてのダイからの熱によるダイ2の接合部温度 (°C)
T3：すべてのダイからの熱によるダイ3の接合部温度 (°C)
T4：すべてのダイからの熱によるダイ4の接合部温度 (°C)
T5：すべてのダイからの熱によるダイ5の接合部温度 (°C)
T_A：周囲温度 (°C)

ΔT1：ダイ1接合部と周囲との温度差 (°C)
ΔT2：ダイ2接合部と周囲との温度差 (°C)
ΔT3：ダイ3接合部と周囲との温度差 (°C)
ΔT4：ダイ4接合部と周囲との温度差 (°C)
ΔT5：ダイ5接合部と周囲との温度差 (°C)

式1 :

$$T1 = (R11 \times P1 + R12 \times P2 + R13 \times P3 + R14 \times P4 + R15 \times P5) + T_A$$

式2 :

$$T2 = (R21 \times P1 + R22 \times P2 + R23 \times P3 + R24 \times P4 + R25 \times P5) + T_A$$

式3 :

$$T3 = (R31 \times P1 + R32 \times P2 + R33 \times P3 + R34 \times P4 + R35 \times P5) + T_A$$

式4 :

$$T4 = (R41 \times P1 + R42 \times P2 + R43 \times P3 + R44 \times P4 + R45 \times P5) + T_A$$

式5 :

$$T5 = (R51 \times P1 + R52 \times P2 + R53 \times P3 + R54 \times P4 + R55 \times P5) + T_A$$

測定データ

測定は、有効熱伝導率の低いテスト基板 (JESD51-3に準ずる) と有効熱伝導率が高いテスト基板 (JESD51-7に準ずる) の両方で実施されます。

表 1 : Test Board Thermal Conductivity Measurement Data

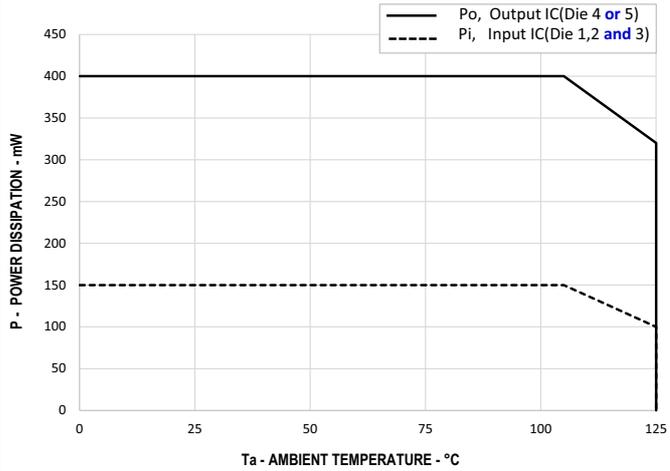
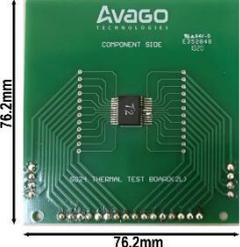
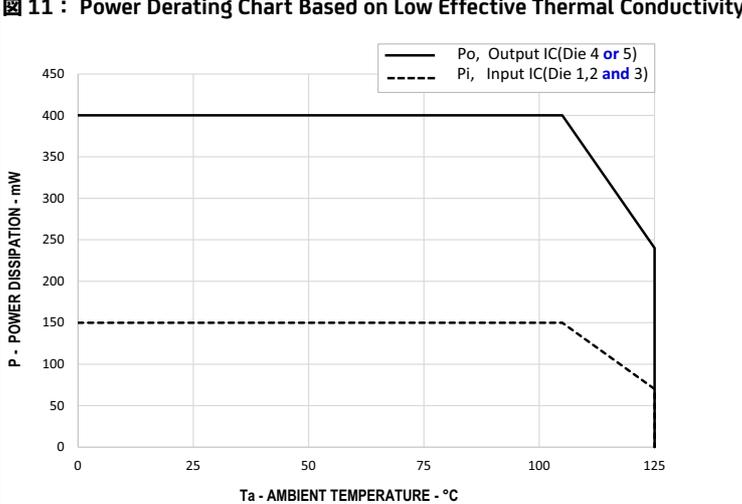
テスト基板のタイプ	テスト基板の条件	熱抵抗	消費電力ディレーティング図
有効熱伝導率の高い基板 	2つの信号層、パワー・プレーン、グラウンド・プレーンが統合された4層基板。 外層の銅の厚み : 2 OZ. 内層の銅の厚み : 1 OZ. 基板サイズ : 76.2mm × 76.2mm	R11: 191.5°C/W R12: 39.3°C/W R13: 38.8°C/W R14: 16.5°C/W R15: 22.3°C/W R21: 40.9°C/W R22: 202.7°C/W R23: 48.5°C/W R24: 23.8°C/W R25: 18.6°C/W R31: 38.8°C/W R32: 48.5°C/W R33: 46.1°C/W R34: 16.2°C/W R35: 17.0°C/W R41: 20.5°C/W R42: 29.1°C/W R43: 18.8°C/W R44: 57.1°C/W R45: 14.3°C/W R51: 28.8°C/W R52: 21.8°C/W R53: 19.9°C/W R54: 14.3°C/W R55: 56.4°C/W	図 10 : Power Derating Chart Based on High Effective Thermal Conductivity  <p>NOTE:</p> <ul style="list-style-type: none"> Output IC power dissipation is derated linearly 4 mW/°C above 105°C from 400 mW to 320 mW at 125°C. Input ICs power dissipation is derated linearly 2.5mW/°C above 105°C from 150 mW to 100 mW at 125°C.

表 1 : Test Board Thermal Conductivity Measurement Data (続き)

テスト基板のタイプ	テスト基板の条件	熱抵抗	消費電力ディレーティング図
有効熱伝導率の低い基板 	信号用単層基板。 外層の銅の厚み : 2 oz. 基板サイズ : 76.2mm × 76.2mm	R11: 224.9°C/W R12: 73.24°C/W R13: 64.15°C/W R14: 37.9°C/W R15: 47.49°C/W R21: 82.28°C/W R22: 239.8°C/W R23: 64.38°C/W R24: 47.15°C/W R25: 40.8°C/W R31: 64.15°C/W R32: 64.38°C/W R33: 70.91°C/W R34: 36.56°C/W R35: 38.56°C/W R41: 50.49°C/W R42: 60.8°C/W R43: 39.19°C/W R44: 91.58°C/W R45: 34.8°C/W R51: 62.22°C/W R52: 48.62°C/W R53: 48.38°C/W R54: 33.75°C/W R55: 86.64°C/W	<p>図 11 : Power Derating Chart Based on Low Effective Thermal Conductivity</p>  <p>NOTE:</p> <ul style="list-style-type: none"> Output IC power dissipation is derated linearly 8 mW/°C above 105°C from 400 mW to 240 mW at 125°C. Input ICs' power dissipation is derated linearly 4 mW/°C above 105°C from 150 mW to 70 mW at 125°C.

熱計算に関する注意事項

ACFJ-332B のアプリケーションと環境の設計では、ゲート駆動のフォトカプラの内部 IC と LED の接合部温度が 150°C を超えないように確保する必要があります。次の例は、最大消費電力の見積もりとそれに対応する接合部温度への効果を得るための、[図 31](#) に示す標準的な回路に基づいています。この熱計算は、実際のアプリケーションの基板レイアウトと JEDEC51-7 に準じた PCB 基板とその熱比較の基準としてのみ使用可能です。実際に達成可能な消費電力は、アプリケーションの環境 (PCB レイアウト、エアフロー、部品の配置など) によって異なります。次の例は、[表 1](#) に示すように、特定の PCB レイアウトの熱性能比較の基準として使用できます。

入力 LED 消費電力、P1 および P2 の計算

入力 LED 消費電力 (P1) = I_F (LED) (推奨される最大) × V_F (LED, 125°C) × デューティ・サイクル

例 :

P1 = 10 mA × 1.85V × 50% デューティ・サイクル = 9 mW

P2 = P₁ = 9 mW

入力 IC 消費電力、P3 の計算

例 :

入力 IC 消費電力、P3 = I_{DD1} (Max.) × V_{DD1} (推奨される最大)

= 2.7 mA × 5.5V

= 15 mW

1. 設計による。

出力 IC 消費電力、P4 または P5 の計算

例：
Output IC Power Dissipation:
 $P_{4,5} = P_{O(Static)} + P_{HS} + P_{LS} + P_{MC}$

- Q_{GI21V} : MOSFET gate charge at 21V supply voltage (0.15 μC)
- $Q_{GI2.5V}$: MOSFET gate charge at 2.5V supply voltage (0.04 μC)
- f_{PWM} : Input LED switching frequency (150 kHz)
- R_G : External gate charging resistance (6 Ω)
- $R_{DS,OL(MAX)}$: By design, maximum low side output impedance (2 Ω)
- $R_{DS,OH(MAX)}$: By design, maximum high side output impedance (2 Ω)
- $V_{THCLAMP(MAX)}$: Maximum Clamp Threshold Voltage (2.1V)
- $R_{DS,MC(MAX)}$: By design, maximum internal clamp resistance (2 Ω)
- R_{MC} : External clamp resistance (1 Ω)

$$P_{O(Static)}: \text{Static power dissipated by the output IC}$$

$$= I_{VDD} \times V_{DD}$$

$$= 5.9 \text{ mA (Data Sheet Max.)} \times 21\text{V}$$

$$= 124 \text{ mW}$$

$$P_{HS}: \text{High Side PMOS Switching Power Dissipation at } V_O \text{ pin}$$

$$= (V_{DD} \times Q_{GI21V} \times f_{PWM}) \times R_{DS,OH(MAX)} / (R_{DS,OH(MAX)} + R_G) / 2$$

$$= (21\text{V} \times 0.15 \mu\text{C} \times 150 \text{ kHz}) \times 2 / (2 + 6) / 2$$

$$= 59 \text{ mW}$$

$$P_{LS}: \text{Low Side Switching Power Dissipation at } V_O \text{ pin}$$

$$= (V_{DD} \times Q_{GI21V} \times f_{PWM}) \times R_{DS,OL(MAX)} / (R_{DS,OL(MAX)} + R_G) / 2$$

$$= (21\text{V} \times 0.15 \mu\text{C} \times 150 \text{ kHz}) \times 2 / (2 + 6) / 2$$

$$= 59 \text{ mW}$$

$$P_{MC}: \text{Miller Clamp NMOS Switching Power Dissipation}$$

$$= (V_{THCLAMP(MAX)} \times Q_{GI2.5V} \times f_{PWM}) \times R_{DS,MC(MAX)} / (R_{DS,MC(MAX)} + R_{MC}) / 2$$

$$= (2.1\text{V} \times 0.04 \mu\text{C} \times 150 \text{ kHz}) \times 2 / (2 + 1) / 2$$

$$= 38 \text{ mW}$$

$$P_{4,5}: \text{Output IC Power Dissipation}$$

$$= P_{O(Static)} + P_{HS} + P_{LS} + P_{MC}$$

$$= 124 \text{ mW} + 59 \text{ mW} + 59 \text{ mW} + 4.2 \text{ mW}$$

$$= 246 \text{ mW}$$

有効熱伝導率が高い基板を使用した接合部温度の計算、 $T_A = 125^\circ\text{C}$

- 例：
- 入力 LED1 接合部温度、**T1**
 $= (R11 \times P1 + R12 \times P2 + R13 \times P3 + R14 \times P4 + R15 \times P5) + 125^\circ\text{C}$
 $= (191.5^\circ\text{C/W} \times 9 \text{ mW}) + (39.3^\circ\text{C/W} \times 9 \text{ mW}) + (38.8^\circ\text{C/W} \times 15 \text{ mW}) + (16.5^\circ\text{C/W} \times 280 \text{ mW}) + (22.3^\circ\text{C/W} \times 280 \text{ mW}) + 125^\circ\text{C}$
 $= 139^\circ\text{C} < T_J (\text{絶対最大}) : 150^\circ\text{C}$
 - 入力 LED2 接合部温度、**T2**
 $= (R21 \times P1 + R22 \times P2 + R23 \times P3 + R24 \times P4 + R25 \times P5) + 125^\circ\text{C}$
 $= (40.9^\circ\text{C/W} \times 9 \text{ mW}) + (202.7^\circ\text{C/W} \times 9 \text{ mW}) + (48.5^\circ\text{C/W} \times 15 \text{ mW}) + (23.8^\circ\text{C/W} \times 280 \text{ mW}) + (18.6^\circ\text{C/W} \times 280 \text{ mW}) + 125^\circ\text{C}$
 $= 140^\circ\text{C} < T_J (\text{絶対最大}) : 150^\circ\text{C}$
 - 入力 IC 接合部温度、**T3**
 $= (R21 \times P1 + R22 \times P2 + R23 \times P3 + R24 \times P4 + R25 \times P5) + 125^\circ\text{C}$
 $= (38.8^\circ\text{C/W} \times 9 \text{ mW}) + (48.5^\circ\text{C/W} \times 9 \text{ mW}) + (46.1^\circ\text{C/W} \times 15 \text{ mW}) + (16.2^\circ\text{C/W} \times 280 \text{ mW}) + (17^\circ\text{C/W} \times 280 \text{ mW}) + 125^\circ\text{C}$
 $= 136^\circ\text{C} < T_J (\text{絶対最大}) : 150^\circ\text{C}$
 - 出力 IC 接合部温度、**T4**
 $= (R41 \times P1 + R42 \times P2 + R43 \times P3 + R44 \times P4 + R45 \times P5) + 125^\circ\text{C}$
 $= (20.5^\circ\text{C/W} \times 9 \text{ mW}) + (29.1^\circ\text{C/W} \times 9 \text{ mW}) + (18.8^\circ\text{C/W} \times 15 \text{ mW}) + (57.1^\circ\text{C/W} \times 280 \text{ mW}) + (14.3^\circ\text{C/W} \times 280 \text{ mW}) + 125^\circ\text{C}$
 $= 146^\circ\text{C} < T_J (\text{絶対最大}) : 150^\circ\text{C}$
 - 出力 IC 接合部温度、**T5**
 $= (R41 \times P1 + R42 \times P2 + R43 \times P3 + R44 \times P4 + R45 \times P5) + 125^\circ\text{C}$
 $= (28.8^\circ\text{C/W} \times 9 \text{ mW}) + (21.8^\circ\text{C/W} \times 9 \text{ mW}) + (19.9^\circ\text{C/W} \times 15 \text{ mW}) + (14.3^\circ\text{C/W} \times 280 \text{ mW}) + (56.4^\circ\text{C/W} \times 280 \text{ mW}) + 125^\circ\text{C}$
 $= 146^\circ\text{C} < T_J (\text{絶対最大}) : 150^\circ\text{C}$

注：T1、T2、T3、T4、および T5 の接合部温度は、所定の周囲温度 T_A で 150°C 以下である必要があります。

標準特性

$T_A = 25^\circ\text{C}$, $V_{DD_{A,B}} - V_{SS_{A,B}} = 15\text{V}$. With capacitance load of 2.2 nF, unless otherwise noted.

図12 : t_{PLH} vs Temperature

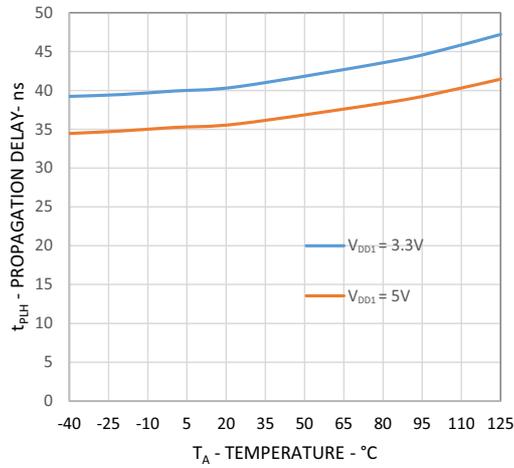


図13 : t_{PHL} vs Temperature

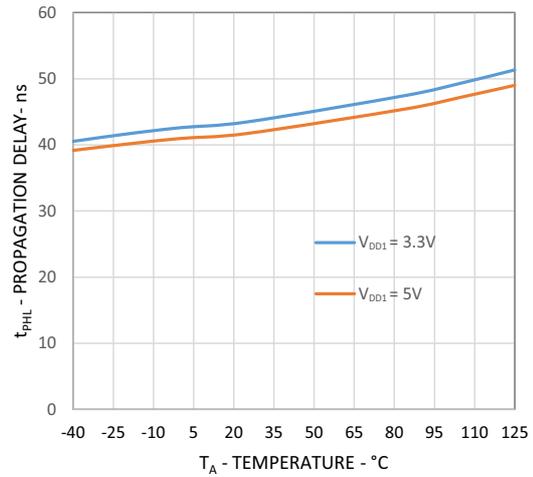


図14 : Pulse Width Distortion vs Temperature

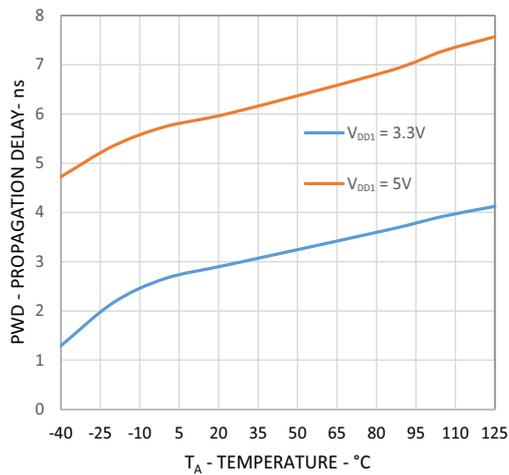


図15 : Channel-to-Channel Skew vs Temperature

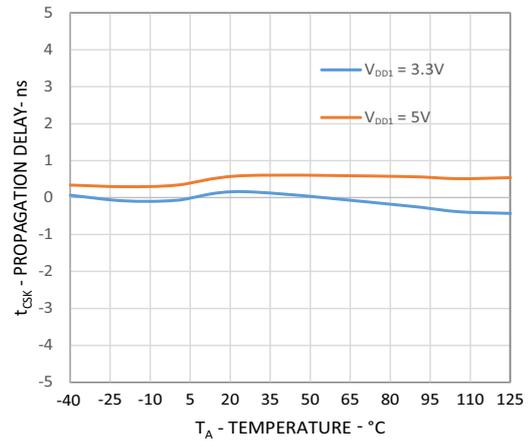


図16 : $UVLO_{A,B}$ Threshold vs Temperature

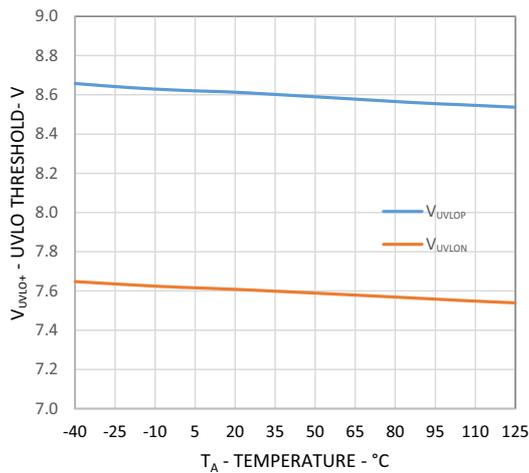


図17 : $UVLO_{A,B}$ Hysteresis vs Temperature

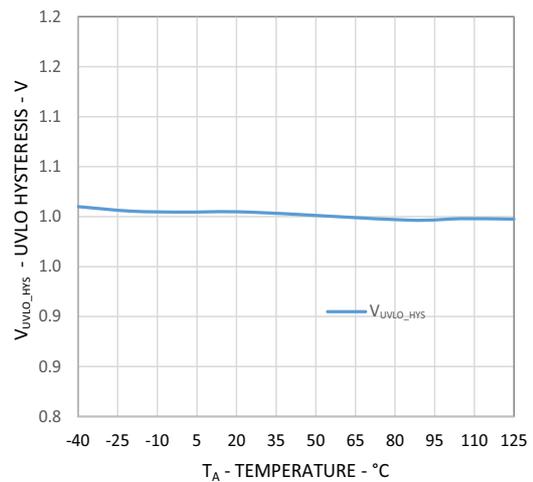


図18 : VIN High Threshold vs Temperature

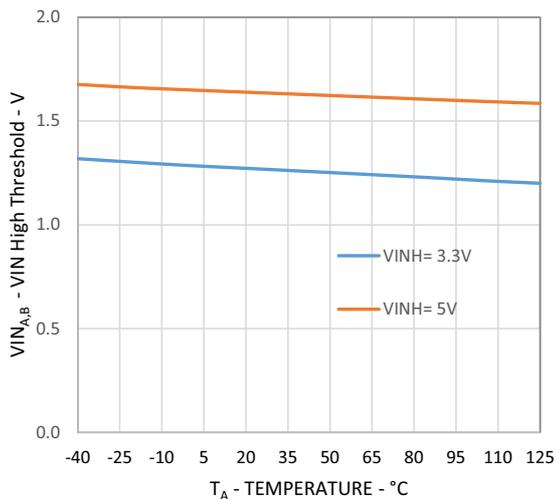


図19 : VIN Low Threshold vs Temperature

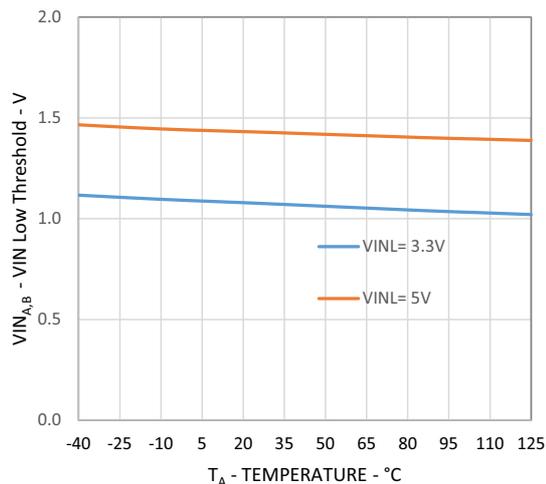


図20 : VIN Hysteresis vs Temperature

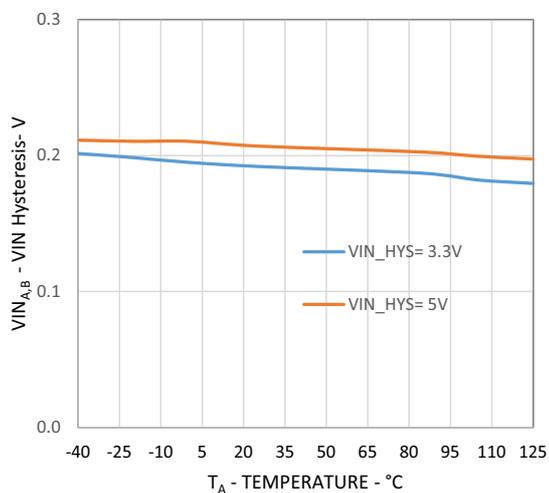


図21 : Enable Low Threshold vs Temperature

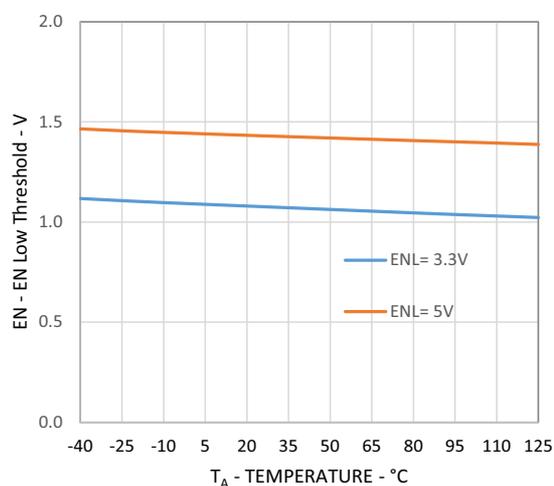


図22 : Enable High Threshold vs Temperature

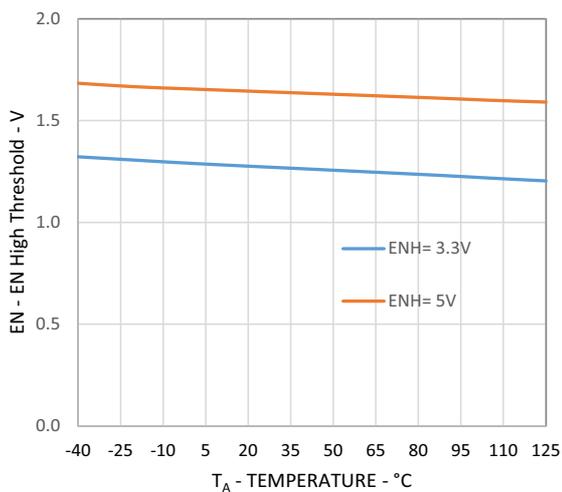


図23 : Enable Hysteresis vs Temperature

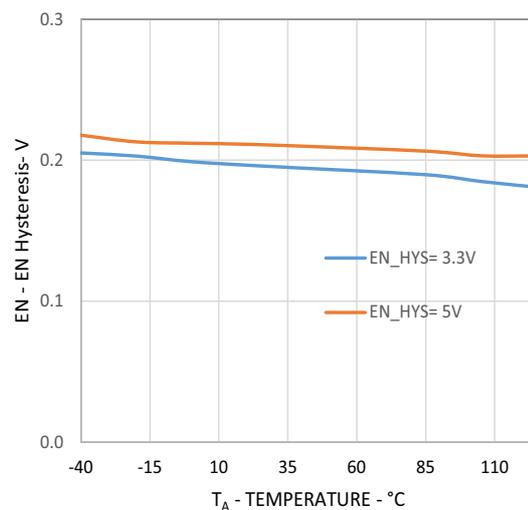


図24 : I_{VDD1} Quiescent Current vs Temperature

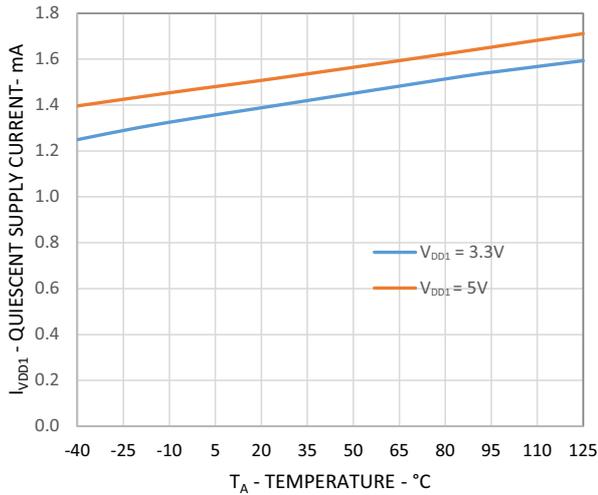


図25 : $I_{VDDA,B}$ Quiescent Current vs Temperature

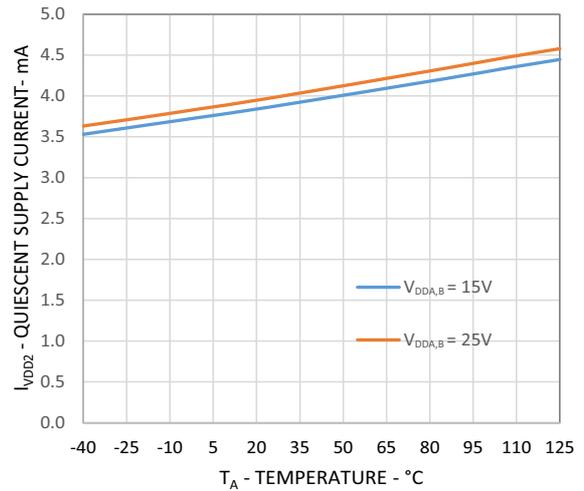


図26 : I_{OL} vs V_O

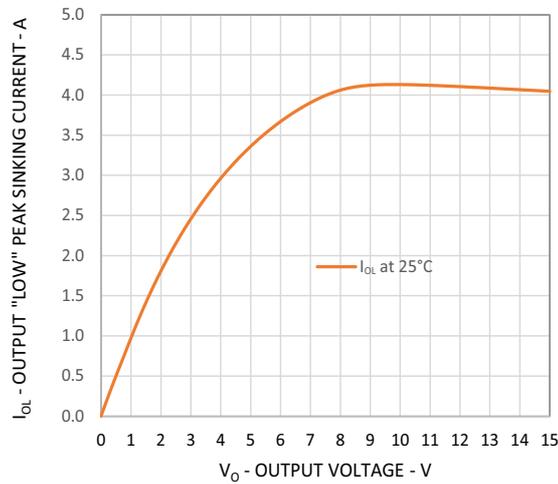


図27 : I_{OH} vs $(V_{DD} - V_O)$

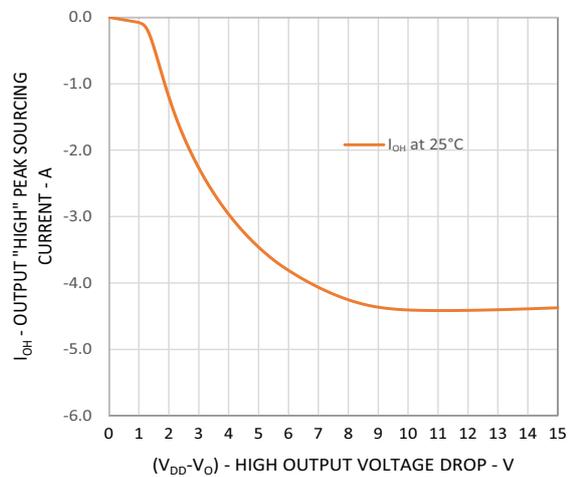


図28 : Channel A Dead Time vs. Temperature

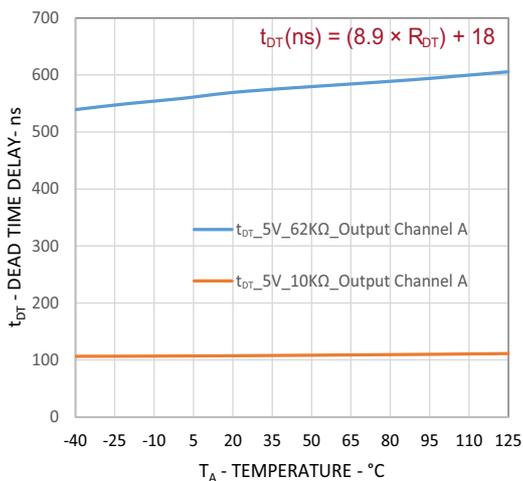
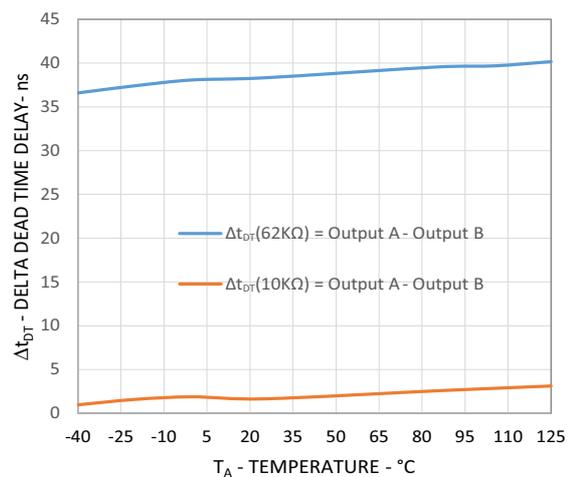
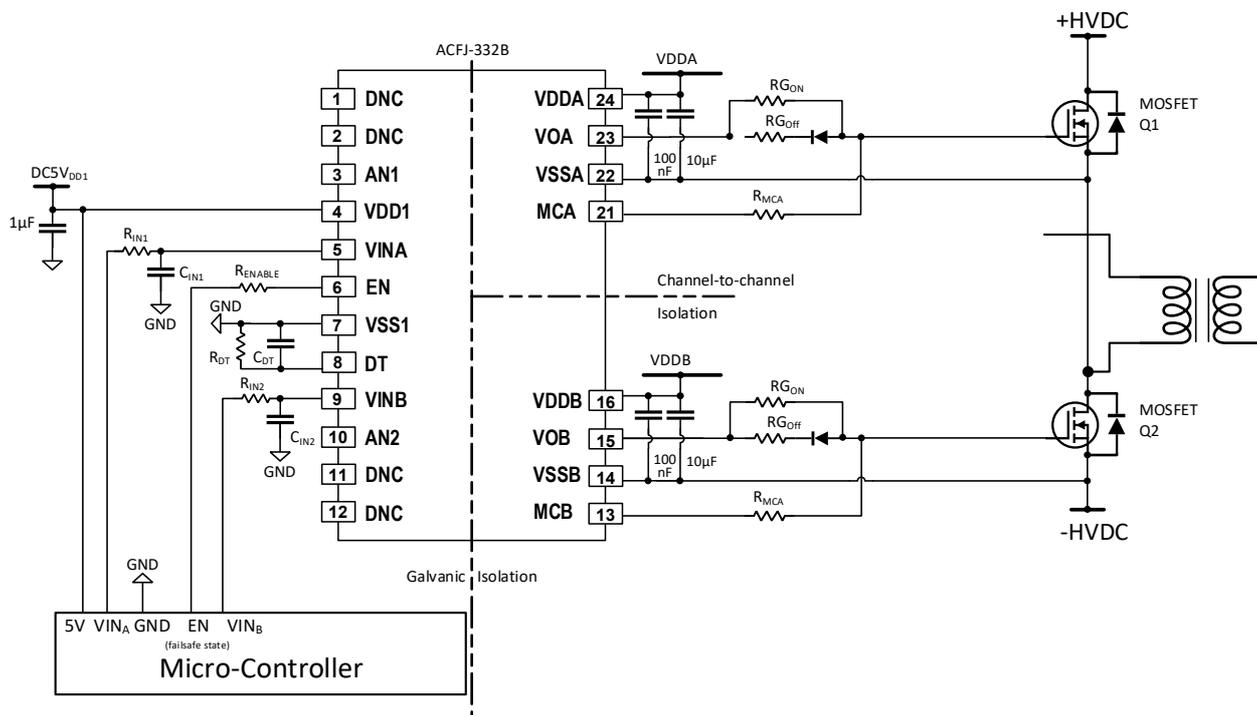


図29 : Dead Time Matching vs. Temperature



標準的な応用回路

図 30 : ACFJ-332B Typical Application Circuit



NOTE: Component value is subject to change based on applications conditions.

VDD1、VDDA、および VDDB 供給ピン

VDD1/VSS1 間デカップリング・コンデンサには、最小電圧定格が 6.5V の低 ESR 1- μ F セラミック・コンデンサを推奨します。

VDDA/VSSA 間および VDDB/VSSB 間では、低 ESR の 100 nF および 10 μ F の 1 組のセラミック・デカップリング・コンデンサを並列に接続します。動的負荷スイッチング遷移時に、ACFJ-332B からの大きな過渡電荷がデカップリング・コンデンサから引き出され、出力容量性負荷を駆動します。負荷のスイッチング時の負荷ゲート電荷とリップル電圧許容差に応じて、最小容量値を調整できます。

EN 入力ピン

TTL/CMOS 互換のロジック・レベルのデバイスに直接接続するか、電流制限抵抗に接続します。

DT ピン

1 組の固定抵抗 (R_{DT}) と 0.1 μ F のバイパス・セラミック・コンデンサ (C_{DT}) を DT および VSS1 ピンの近くに接続することを推奨します。

C_{DT} はノイズのフィルタ用で、一方、 R_{DT} は次の式に従ってデッド・タイムをデュアル出力チャネルに挿入します： $t_{DT} \text{ in (ns)} = (8.9 \times R_{DT}) + 18, R_{DT} \text{ in (k}\Omega)$

デッド・タイムを使用しない場合は、DT ピンを VDD1 に接続します。

VINA および VINB 入力ピン

1 組の PWM 入力への TTL/CMOS 互換のロジック・レベルのデバイスに直接接続します。ノイズをフィルタするには、 $0\Omega \sim 100\Omega$ の範囲の $R_{IN_{A,B}}$ 、および $33\text{ pF} \sim 100\text{ pF}$ の範囲の C_{INA} と C_{INB} を備えた、一次 RC フィルタを PWM 入力と VIN の間で使用することを推奨します。

VOA、VOB、MCA、および MCB 出力ピン

外部ゲート抵抗を $VO_{A,B}$ ピンに接続し、ピーク・ゲート電流を制限し、GaN/MOSFET 立ち上がり/立ち下がり時間を変化させ、ゲート駆動の出力電力を調整します。設計者は、出力ピーク電流が絶対最大定格を超えないように、外部ゲート抵抗のサイズを調整する必要があります。

例：

Given $VDDA - VSSA = 12V$:

- Assume sourcing $-2.5A$ out from ACFJ-332B.
- Assume sinking $4A$ into ACFJ-332B.

$R_{OAH} = 1.2\Omega(R_{NMOS}) \parallel 15\Omega$, $R_{OAL} = 1.2\Omega$, wherein R_{NMOS} is equal to R_{OAL}

- Minimum external gate turn-on resistor = $(VDDA - VSSA)/I_{OAH(PEAK)} - R_{OAH} = (12V/2.5A) - 1.1\Omega = 3.7\Omega$
- Minimum external gate turn-off resistor = $(VDDA - VSSA)/I_{OAL(PEAK)} - R_{OAL} = (12V/4A) - 1.2\Omega = 1.8\Omega$
- This example excludes the GaN/MOSFET internal gate resistance.
- Similar calculation applies to channel B.

For MCA and MCB pins, use an external resistor value in the range of 0.5Ω to less than 1Ω .

動作と機能の説明

入力制御と出力の真理値表

表2 はすべての考えられる入力状態遷移とその結果の出力を示しています。

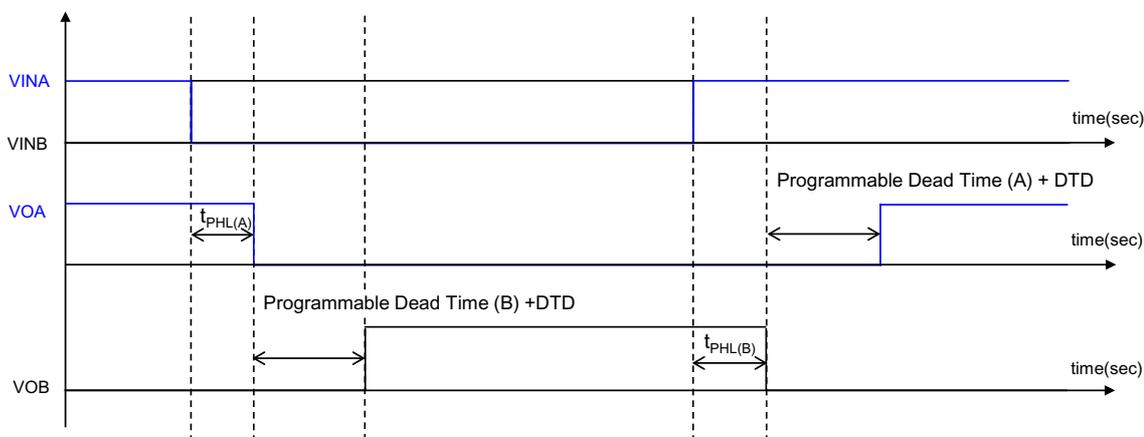
注： x は「状態は無視」を表しています。

表 2 : Input and Output Control Truth Table

VDD1	EN	DT	VINA	VINB	VOA	VOB	
>2.5V	High	Active	Low	Low	Low	Low	Output transition (from Low to High) occurs after internal dead time expires.
>2.5V	High	Active	Low	High	Low	High	Output transition (from Low to High) occurs after internal dead time expires.
>2.5V	High	Active	High	Low	High	Low	Output transition (from Low to High) occurs after internal dead time expires.
>2.5V	High	Active	High	High	Low	Low	Invalid state. Both outputs are pulled to low state.
>2.5V	High	Inactive	Low	Low	Low	Low	Output transition occurs immediately.
>2.5V	High	Inactive	Low	High	Low	High	Output transition occurs immediately.
>2.5V	High	Inactive	High	Low	High	Low	Output transition occurs immediately.
>2.5V	High	Inactive	High	High	High	High	Output transition occurs immediately.
>2.5V	Low	x	x	x	Low	Low	Driver is disabled. Both outputs are pulled to low state.
>2.5V	x	x	x	x	Low	Low	VCC1 under-voltage lockout.

プログラム可能なデッド・タイム

図 32 : Timing Diagram with Programmable Dead Time



デッド・タイムは、式： t_{DT} in (ns) = $(8.9 \times R_{DT}) + 18$, in (k Ω) に従って設定可能です。ゲート駆動出力 V_{OA} と V_{OB} の両方で測定されたデッド・タイムは、設定されたデッド・タイムとデッド・タイムひずみ (DTD) の合計です。

デッド・タイムひずみ (DTD) は、同じ試験条件下の任意の 2 つの部品間の ($t_{PLH} - t_{PHL}$) として定義されています。負の DTD 値は R_{DT} によって設定されたプログラム可能なデッド・タイムを減少させ、正の DTD 値は R_{DT} によって設定されたプログラム可能なデッド・タイムに追加されます。

有効なタイミング応答と $V_{IN_{A,B}}$

図 33 : Enable Response Time

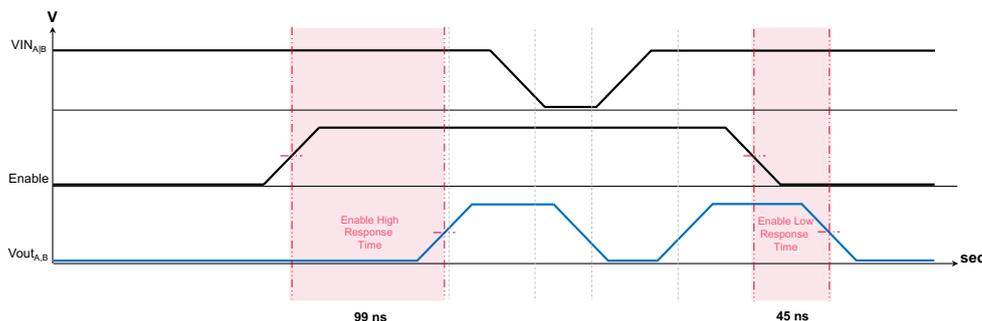


図33 は有効化機能 (EN ピン) に対するデュアルチャネル出力の応答時間を示しています。有効化機能 (EN ピン) に対する応答時間、出力の立ち上がりエッジに 50-ns の遅延が追加されますが、立ち下がりエッジには追加されません。

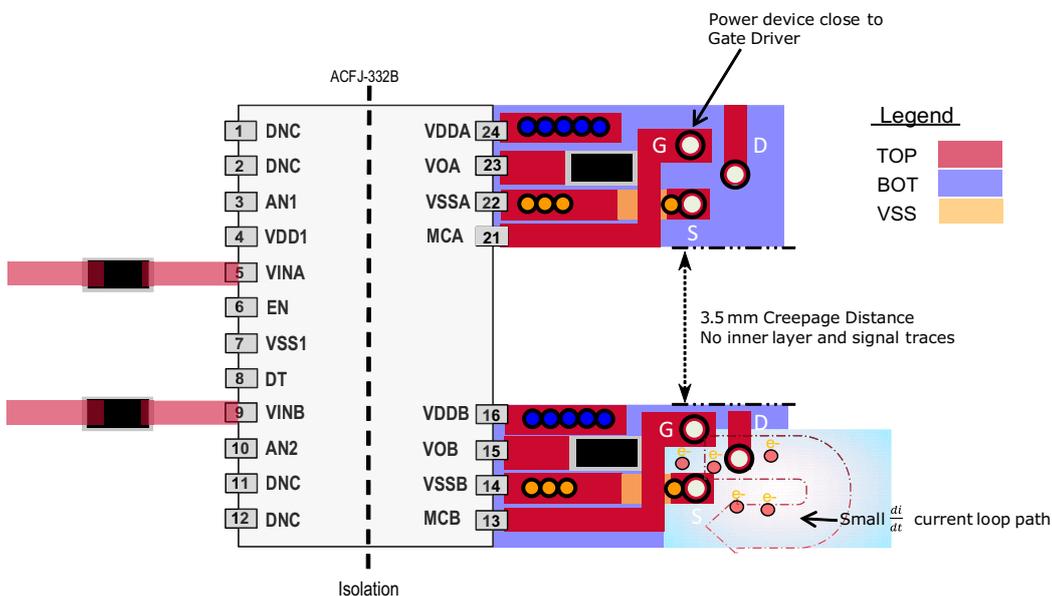
立ち上がりエッジの出力で測定された伝達遅延は、有効化機能 (EN ピン) の 50-ns の遅延とゲート駆動の伝達遅延の合計です。

レイアウトのガイドライン

約 4A (標準) のゲート駆動のシンク出力では、グラウンド・バウンスの影響を緩和するために、プリント基板のレイアウト設計時には、電流リターン・パスのインダクタンスが最小になるように設計をする必要があります。

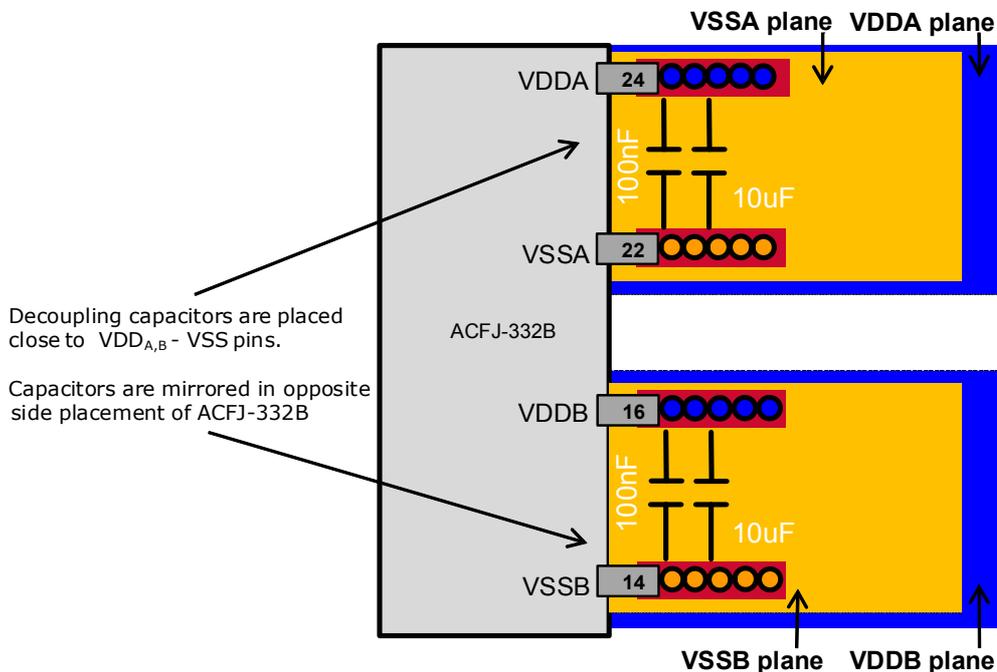
高電圧絶縁回路と入力基準回路の間は、適切な間隔を維持する必要があります。2つの隣接するハイサイド絶縁型チャネル (上部チャネルと下部チャネルなど) の間も、最小間隔を考慮する必要があります。この間隔が不十分な場合、有効絶縁性能が低下し、寄生結合が増え、部品の性能が低下します。図34 は、推奨される PCB レイアウト・ガイドラインを示しています。

図 34 : PCB Layout Guidelines



電源バイパス・コンデンサの配置と配線には特に注意が必要です。スイッチングによる瞬時電流が流れる際、ゲート電荷の大部分はバイパス・コンデンサから供給されます。バイパス・コンデンサのトレース長を短く維持することで、低供給リップルおよびクリーンなスイッチング波形を確保します。バイパス・コンデンサは、複数のビア・ホールを使用して電源プレーンとグラウンド・プレーンに接続することを推奨します。プレーン層は、IC へのデカップリング・コンデンサの役割を担うと同時に、より優れた熱放散を提供できます。図35 は、バイパス・コンデンサの配置と、PCB プレーンの積層を示しています。

図 35 : PCB Planes Stack-Up and Bypass Capacitors Placement



Copyright © 2024 Broadcom. All Rights Reserved. 用語「Broadcom」は、Broadcom Inc. および/またはその子会社を指します。詳細については、[jp.broadcom.com](https://www.jp.broadcom.com) をご覧ください。本書に記載された商標、商標名、サービス・マーク、ロゴはすべて、各社が所有権を有しています。

Broadcom は、信頼性、機能または設計を改善するために、本書の製品またはデータを通知なしに変更する権利を留保します。Broadcom によって提供される情報の正確さと信頼性には細心の注意を払っています。しかしながら、Broadcom は、この情報の適用または使用、あるいは本書に記載された製品または回路の適用または使用から生じるいかなる責任も負わず、特許権や他の権利によるいかなるライセンスも譲渡しません。